



①⑨ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ **Offenlegungsschrift**
⑩ **DE 44 23 186 A 1**

⑤① Int. Cl.⁶:
G01 R 31/28
H 03 K 3/78

②① Aktenzeichen: P 44 23 186.5
②② Anmeldetag: 1. 7. 94
④③ Offenlegungstag: 19. 1. 95

DE 44 23 186 A 1

③⑩ Unionspriorität: ③② ③③ ③①
01.07.93 US 086502

⑦① Anmelder:
Teradyne Inc., Boston, Mass., US

⑦④ Vertreter:
von Bezold, D., Dr.rer.nat.; Schütz, P., Dipl.-Ing.;
Heusler, W., Dipl.-Ing.; Graf Lambsdorff, M.,
Dipl.-Phys.Dr.rer.nat., Pat.-Anwälte, 80333 München

⑦② Erfinder:
Hussey, Alan Brent, Agoura Hills, Calif., US;
Ostertag, Edward Anderson, Simi Valley, Calif., US;
Song, Lee Young, Camarillo, Calif., US

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Verfahren und Einrichtung zum Testen von integrierten Schaltungen

⑤⑦ Integrierte Schaltung, vorzugsweise aus Galliumarsenid,
welche eine Pallettentabelle mit einer Mehrzahl von pro-
grammierbaren Kommandoeinrichtungen enthält, die zum
Bewirken von Änderungen in Spannungsverläufen ausgebil-
det sind.

DE 44 23 186 A 1

Beschreibung

Die vorliegende Erfindung betrifft Verfahren und Einrichtungen zum Testen oder Prüfen von integrierten Schaltungen ("TC's"), insbesondere Verfahren und Einrichtungen zum Prüfen von integrierten Großschaltungen ("VLST").

Es sind bereits automatische Testeinrichtungen ("ATE") zum Prüfen von VLST-Chips bekannt, die elektrische Impulsgruppen oder -bursts an gewisse Anschlüsse liefern und resultierende Ausgangssignale mit vorgegebenen Standards oder Normen vergleichen.

Es ist ferner bekannt, Galliumarsenid-Chips für analoge automatische Prüfgeräte (ATE) der hier interessierenden Art zu verwenden, z. B. in Treiber- und Vergleicherschaltungen.

In der Siliziumtechnik ist es bekannt, Treiberflanken dadurch zu positionieren, daß man die in bestimmten Zeitgeneratoren erzeugten Verzögerungen von Periode zu Periode innerhalb einer Impulsgruppe variiert.

In der Siliziumtechnik ist es weiterhin bekannt, die von Zeitgeneratoren erzeugten Verzögerungen mit Hilfe von Feineinstellern zu justieren, denen durch komplexe und teure integrierte Schaltungen, welche manchmal zusätzliche Korrektorschaltungen enthalten, eine erhöhte Genauigkeit verliehen worden ist.

In der Silizium-ATE-Technik ist es ferner bekannt, komplexe Eichschaltungen innerhalb eines IC's zu verwenden, so daß eine am DUT-Anschluß (DUT = Prüfling) gewünschte Impulsflankenverzögerung direkt linear von einem Kommando an einem Computer abhängt, colinear für jeden Kanal.

Es ist schließlich in der Silizium-ATE-Technik bekannt, DUT-Anschluß-Flanken bei bestimmten Verzögerungen größerer Länge als eine Periode durch Verwendung von extra (z. B. "gerade/ungerade") Zeitgeneratoren zu erzeugen.

Es wurde gefunden, daß verbesserte automatische Testeinrichtungen und -verfahren dadurch geschaffen werden können, daß man Musterimpulsgruppen oder -bursts digital in Galliumarsenid-IC's bildet und vergleicht.

Gemäß anderen Aspekten der Erfindung, die vorzugsweise in Kombination, aber auch einzeln oder in Teilkombinationen Anwendung finden können, wird die Erzeugung einer gewünschten Impulsgruppen-Schwingungs- oder Wellenform am DUT-Anschluß dadurch erleichtert, daß man in Zeitgeneratoren zwischen Impulsgruppen im Effekt eine Mehrzahl von periodischen Schwingungs- oder Wellenformen setzt, die eine Art Palette bilden, aus der durch anschließende Auswahl die DUT-Anschluß-Treiber- und Vergleicherschwingungsformen aufgebaut werden können, wobei jede periodische Treiber-Schwingungsform eine bestimmte Anzahl (einschließlich null) von ansteigenden oder abfallenden Flanken enthält, jede spezielle dieser Flanken in irgendeiner speziellen Treiber-Schwingungsform-Periode durch die Zeitgeneratoren geliefert wird und jede Vergleicherschwingungsform-Periode Spannungswerte, die zu vergleichen sind, und Flanken, die durch die Zeitgeneratoren erzeugt werden, enthält; die Zeitgeneratoren nur zwischen den Impulsgruppen setzbar sind und die Auswahl gewünschter Palette-Schwingungsformen für jede Periode durch einen Paletten-Speicher bewirkt wird.

Gemäß einem anderen Aspekt kann eine Palette eine Mehrzahl von Sätzen enthalten, die jeweils ein computerprogrammierbares Register, einen Multiplexer und einen Impulsmodulator, die zusammenarbeiten, enthalten, diese drei Einheiten wirken als ein Satz zum Befehlen einer ausgewählten Schwingungsformungs-Aktivität im Impulsmodulator oder eine Mehrzahl oder Vielzahl solcher Sätze.

Gemäß einem weiteren Aspekt wurde gefunden, daß durch direkte Software- oder Programmverwendung beim Verarbeiten programmierter Verzögerungseinstellungen eine ausgewählte Schwingungsform-Flanke um eine Zeitspanne verzögert werden kann, die selektiv der Summe einer vorgegebenen Anzahl von Taktimpulsen plus einer vorgegebenen Anzahl von halben Taktzyklen plus einer vorgegebenen, durch eine Feineinstellung bestimmten Zeit von weniger als einem halben Taktzyklus verzögert werden kann, ohne in der integrierten Schaltung komplexe und teure Schaltungsanordnungen zu benötigen, und daß die Verzögerung dadurch vergrößert werden kann, daß man eine vorgegebene Anzahl von Perioden einschließt, die jeweils eine vorgegebene Anzahl von Taktimpulsen enthalten, ohne zusätzliche Zeitgeneratoren zu verwenden.

Gemäß einem weiteren Aspekt wird selektiv eine Vielzahl von Zeitgeneratoren vorgesehen, jeder mit einer oder mehreren Verbindungen mit einem Zeitfreigaberegister, um Signale vorzusehen, die es gestatten, einen bestimmten Zeitgenerator durch den Impulsmodulator auszulösen oder nicht oder zu bewirken, daß der Zeitgenerator übergangen werden kann, so daß der spezielle Generator im Vergleicherteil der gesamten Schaltung verwendet werden kann.

Gemäß einem weiteren Aspekt kompensiert die Erfindung veränderliche Verzögerungseffekte in Galliumarsenid, die durch veränderliche Tastverhältnisse (Verhältnis der Schwingungs- oder Impulsdauer zur Periodendauer) und Frequenz verursacht werden, indem man Feineinsteller durchgehend laufen läßt, also auch zwischen den Impulsgruppen oder -bursts, und die Einführung von Palettedaten in einen Impulsmodulator, der auf einen Feineinsteller folgt, (und nicht beispielsweise in einen Anpassungsblock vor einem Feineinsteller) einschließt; durch Kurzschließen von Verzögerungen soweit möglich; und durch Verwendung von Programmen zur Verarbeitung von gemessenen Voranpassungs- (zurück durch Takt) und Nachanpassungs- (durch Feineinsteller)verzögerungen, um restliche Verzögerungsfehler soweit wie möglich zu reduzieren.

Im folgenden wird ein bevorzugtes Ausführungsbeispiel der Erfindung unter Bezugnahme auf die Zeichnungen näher erläutert.

Es zeigen:

Fig. 1 ein Blockschaltbild, aus dem die Zuordnung der Haupt-Untereinheiten der bevorzugten Ausführungsform zueinander ersichtlich ist;

Fig. 2, 3 und 4 Blockschaltbilder eines ersten, eines zweiten und eines dritten Teiles eines integrierten Galliumarsenid-Chips, in dem die Erfindung verwirklicht ist;

Fig. 5 ein Schaltbild eines Teiles eines in Fig. 4 dargestellten Treiber-Formatierers;

Fig. 6 ein Schaltbild einer der Datenschalungen in einer Paletten-Tabelle der Fig. 3;

Fig. 7 ein Schaltbild eines Teiles einer in Fig. 3 dargestellten Durchschleus- oder Pipe-Schaltung;
 Fig. 8 und 9 Schaltbilder von Teilen eines Vergleichsformatierers und Fehlerfangspeichers, die in Fig. 4 dargestellt sind;
 Fig. 10 eine abstrakte, anwenderorientierte Darstellung einer Paletten-Tabelle gemäß der Erfindung und ihre resultierende Treiber-Spur;
 Fig. 11(a) bis 11(d) entsprechende Spuren oder Diagramme, die Zeitführungsauslösungen oder -Schaltvorgänge, eine graphische Darstellung einer Paletten-Tabellenaufstellung, eine graphische Darstellung für ein Zeitfreigaberegister bzw. Diagramme gesteuerter Schwingungen zeigen, dasselbe gilt für die Fig. 13(a) bis 13(d), 14(a) bis 14(d) und 15(a) bis 15(d);
 Fig. 12 ein Schaltbild eines Feineinstellers gemäß der Erfindung; und
 Fig. 16 ein Diagramm für die Flankenverzögerungsverarbeitung.

Aufbau

Bei der bevorzugten Ausführungsform sind die zu prüfenden integrierten Schaltungen mit Stiften verbunden und in Gehäusen montiert und werden als Ganzes oft als Prüflinge, im vorliegenden kurz "DUT" (Devices Under Test) bezeichnet.

Wie Fig. 1 zeigt, ist ein Prüfling 10 mit 512 Stiften in eine Schnittstellenplatine 12 eingesetzt, die 512 Fassungen aufweist, die so angeordnet und bemessen sind, daß sie zu den Stiften des Prüflings passen. Mit der Schnittstellenplatine ist über 64 Kanalkarten 14 eine Rückebene 16 elektrisch verbunden, die ihrerseits elektrisch mit einem Computer 18 gekoppelt ist.

Der Computer 18 enthält selbstverständlich zwei Arten von Programmen: ein allgemeines Programm, das mit mehr als einem Prüflingsmodell verwendbar ist, und ein spezielles Programm, das auf das spezielle Prüflingsmodell zugeschnitten ist. Bei der bevorzugten Ausführungsform des vorliegenden automatischen Prüfgerätes liegen die beiden Arten von Programmen für jedes spezielle Prüflingsmodell als zwei Teile einer einzigen Magnetplatte vor.

Die Rückebene trägt einen Taktgenerator 20 mit phasenverriegelter Schleife ("PLL") mit einem Teilverhältnis, das eine Programmierung zur Erzeugung eines vorgegebenen Ausgangssignals mit einer Frequenz im Bereich von 200 bis 300 Megahertz erlaubt, auf diese Weise wird ein Bereich vorgesehen, der gewünschtenfalls eine weitere Einstellung der Verzögerung von Schwingungsformflanken erlaubt. Bei dem Betrieb des vorliegenden bevorzugten Ausführungsbeispiels ist die Frequenz auf 250 Megahertz eingestellt.

Jedem Stift des Prüflings, d. h. auch jedem der entsprechenden Kanäle oder Sparten des Prüfgerätes, ist eine integrierte Galliumarsenid-Burst- oder Impulsgruppen-Schaltung oder Burst-Schwingungsformung- und Wirkungsauswertungs-Chip ("Burst-Chip", "BC") 160, Fig. 1 und 2—4, zugeordnet. Der Burst-Chip 160 ist unter Verwendung von üblicher Zellen-Entwurfsmethodik und direkt gekoppelter FET-Logik (DCFL) entworfen. Ein solcher Burst-Chip mißt 5 mal 8 Millimeter und hat eine Verlustleistung von nur fünf Watt. Jeder BC ist zusammen mit mehreren anderen in einem keramischen Rechteck-Flach-Gehäuse mit 164 Stiften untergebracht, und zwar jeweils unter einem Kühlkörper und auf einer zehn-schichtigen Kanalschaltungsplatine, die mit Durchgangsloch- und Oberflächenmontage-Techniken ausgeführt ist (nicht dargestellt). Die Fig. 2, 3 und 4 stellen zusammen ein Blockschaltbild eines Burst-Chips 160 oder 160a, 160b, 160c gemäß der Erfindung dar, mit der Ausnahme, daß in jedem BC (in Fig. 3) nur einer von acht Zeitgeneratoren dargestellt ist, die weiter unten noch näher erläutert werden, obwohl auch auf andere Bezug genommen wird, z. B. mit T3 oder T8. Der Computer 18 arbeitet über Sammelleitungen oder Busse (nicht dargestellt) mit den verschiedenen Komponenten dieses BC zusammen, wie noch ersichtlich werden wird. Jede Kanalkarte trägt acht Burst-Chips 160, z. B. BC 64 a—h.

Der Taktgenerator 20 oder Oszillator, der von dem Augenblick an zu arbeiten beginnt, in dem ein Ein-Schalter betätigt worden ist, speist einen Takt-Konditionierer (Fig. 2), der an einen Periodenzähler 23 sendet, der seinerseits bei einem voreingestellten Zählwert im Periodenregister 24 ein Periodenbeginn-("BOP-")signal an den Taktkonditionierer 22 liefert. Ein solches Signal wird auch und alternativ bei der ersten ansteigenden Flanke nach der Einleitung eines Tests (wie noch erläutert werden wird) gleichzeitig an alle Kanäle geliefert: ein geODERter Übergangsdetektor veranlaßt alle Kanäle, den Takt auf null zurückzusetzen, und sendet einen BOP-Impuls beim nächsten Taktimpuls, wenn entweder das Periodenregister 24 eine Zählung endet oder ein "Test" begonnen wird. Der Takt-Konditionierer 22 überträgt das BOP-Signal sowohl an einen "Früh"-Zähler 26, in dem die Schwingung des Oszillators und Taktgenerators 20 läuft, und außerdem auch an einen "Spät"-Zähler 28, in dem eine im Takt-Konditionierer 22 invertierte Taktgenerator-Schwingung läuft, so daß die Vorderflanken der Schwingung zeitlich um 180° verzögert sind.

In jedem BC befinden sich acht Zeitgeneratoren 160 b (von denen einer in Fig. 3 dargestellt ist), jeweils mit einem Takt-Multiplexer 30 und einem Zählwertmultiplexer 32, die in Paaren angeordnet sind (d. h., ein Paar pro Zeitgenerator TG), jedes Paar (ein Zählwert- und ein Takt-Multiplexer) ist mit einem eigenen von acht Früh-/Spät-Registern 34 gleichlaufgekoppelt, so daß eine Einstellung auf entweder Früh oder Spät, die einem Register durch den Computer erteilt wird, die gleichlaufgekoppelten Multiplexer 30, 32 jedes Paares entweder beide auf Früh (verglichen mit der "Spät"-Einstellung) oder beide auf Spät gehen.

Jeder BC 160 enthält ferner acht Anpassungselemente 36, acht Einsteller 38, die jeweils einen Grobeinsteller und einen Feineinsteller und diesen jeweils zugeordnet ein Grobregister 40 und ein Feinregister 42 enthalten, acht Impulsmodulatoren 44 sowie acht Palette-Tabellen 46 und acht erste Pipe-Schaltungen 48 und vier zweite Pipe-Schaltungen 50 (in TG's 5—8), die mit acht Pipe-Registern 52 gleichlaufgekoppelt sind.

Weitere Einzelheiten des Aufbaus werden zwanglos in Verbindung mit der Erläuterung der Arbeitsweise der bevorzugten Ausführungsform der Erfindung erwähnt.

Betrieb

Der Computer belädt automatisch den Musterspeicher, was etwa zehn Minuten erfordert. Während dieser Zeit programmiert der Computer auch alle Register, löscht den Fehlerfangspeicher von allem, was eventuell bei einem früheren Test gespeichert worden war, setzt im Musterspeicher, welche erste Adresse bei der ersten Impulsgruppe zu verwenden ist, und setzt die gewünschten Niveaus im Treiber, Dual-Vergleicher und I-Lasten, mit allen diesen ist er über einen nicht dargestellten Bus verbunden.

Der Taktgeber liefert ab der Betätigung der "Ein"-Taste bei dem hier beschriebenen Betrieb ein 250-Megahertz-Ausgangssignal.

Das oben erwähnte Taktgeber-Ausgangssignal wird verteilt und gepuffert in verschiedenen Stufen und dem Takt-Konditionierer 22 zugeführt, wo es in jede der drei Ausgangsleitungen 60, 62, 64 gepuffert (in der Leistung verstärkt) sowie in eine dieser drei um 180° verzögert wird, um einen "späten" Takt zu erhalten.

Eine der nur gepufferten Taktausgangsleitungen (60) führt vom Takt-Konditionierer 22 in den Periodenzähler 23, in den außerdem vom Periodenregister 24 der Zyklenanzahl-Zählwert eingegeben wird, welcher für die bei der Zeitgabe zu verwendende "Periode" (ganze Anzahl von 360°-Zyklen, "Zyklus", vom Oszillator oder Taktgeber 20), welcher Zählwert, wie bereits erwähnt wurde, durch den Computer 18 in das Periodenregister 24 eingegeben worden war. Wenn der Periodenzähler bis zu der Anzahl der im Periodenregister eingestellten Zyklen gezählt hat, liefert der Periodenzähler 23 einen Impuls mit einer hohen Vorderflanke (einen Periodenbeginn-Impuls BOP) und setzt den Periodenzähler auf null zurück und liefert diesen BOP-Impuls auf einer Leitung 66 zurück zum Takt-Konditionierer 22.

Der BOP-Impuls (tatsächlich ein durch das Periodenregister durchgeschleuster Taktzyklus) wird im Takt-Konditionierer dann in zwei Ausgangsimpulse umgeformt (über Leitungen 68 bzw. 70), von denen einer bei jedem der Takte getaktet wird, einer beim frühen Takt und einer beim späten Takt, so daß die Vorderflanke des beim späten Takt getakteten ("BOPL") zeitlich einen halben Zyklus hinter der Vorderflanke des anderen ("BOPE") auftritt. Der BOPL-Impuls ist synchron mit einem Impuls des Spättakt-Ausgangssignals auf der Leitung 64, der BOPE-Impuls mit dem Frühtakt auf der Leitung 62.

Aus dem Takt-Konditionierer treten ferner die gepufferten Taktausgangssignale aus, ein frühes ("OSC E"), wie erwähnt, und das andere, späte ("OSC L") auf der Leitung 62 bzw. 64.

Vom Ausgang des Früh-Zählers 26 führt eine neunadrige Leitung 300 zu einem Eingang des Zählwert-Multiplexers 32, eine neunadrige Leitung 302 führt von einem Ausgang des Spät-Zählers 28 zu einem Eingang des Zählwert-Multiplexers 32; die das Signal OSC E führende Leitung 62 führt vom Ausgang des Takt-Konditionierers 22 in den Takt-Multiplexer 30; die das Signal OSC L führende Leitung 64 führt vom Takt-Konditionierer 22 in den Takt-Multiplexer 30; eine BOP-Leitung 304 führt vom Takt-Konditionierer 22 in die Pipe- oder Durchlaufschaltung 48 und über eine Leitung 306 in die Paletten-Tabelle 46, und eine 3-Bit-Leitung 98 geht von einem Daten-Serialisierer in die Paletten-Tabelle 46.

Das Eintreffen des BOPE-Signals beim Früh-Zähler setzt diesen Zähler bei der nächsten Takt-Vorderflanke auf 0, worauf er dann eine Zählung der Frühzyklen beginnt durch die frühregistrierten Zählwert-Multiplexer. Gleichzeitig läuft der Frühtakt durch die frühregistrierten Takt-Multiplexer. Wenn das Früh/Spät-Register (E/L-Register) 34 von einem der acht (z. B. TG 1) auf, sagen wir, "früh" gesetzt ist und das Zählwert-Register 54 von TG1 auf, sagen wir, 3 gesetzt ist, und wenn dann der Frühzähler bis 3 gezählt hat, was bedeutet, daß drei Zyklen durch den TG1-Takt-Multiplexer 30 gelaufen sind, schleust das TG1-Anpassungselement 36 den Fluß verstärkend durch den entsprechenden (TG1) Takt-Multiplexer 30 zum TG1-Einsteller 38. Diese Anpassungsfunktion arbeitet mit Exklusiv- oder (X-OR-)Gattern, um einen Vergleich zwischen dem Zählwert und dem Wert, der im Zählwert-Register enthalten ist, durchzuführen. Das BOPL-Signal kommt am Spät-Zähler zeitlich einen halben Zyklus später an als das BOPE-Signal am Früh-Zähler, und in entsprechender Weise erlaubt jedes Paar von gleichlaufgekoppelten Multiplexern (z. B. in TG 2), die auf Spät und 3 geregelt sind, einen Signaldurchgang durch sein (TG2) Anpassungselement zum TG2-Einsteller.

Die acht Sätze von E/L-Registern 34 1 bis 8 (z. B. E/L1), Takt-Multiplexern 30 1 bis 8 (z. B. CM1), Zählwert-Multiplexer 32 1 bis 8 (z. B. Co. M1), Zählwert-Register 54 1 bis 8 (z. B. Co. R1), Anpassungseinheiten 36 1 bis 8 (z. B. M1), Einsteller 38 1 bis 8 (z. B. V1), Grobregister 40 1 bis 8 (z. B. CR1) und Feinregister 42 1 bis 8 (z. B. FR1) ergeben mit anderen achtmal wiederholten Elementen acht Zeitgeneratoren TG1 bis TG8, jeder mit seinen entsprechend nummerierten Elementen (z. B. E/L1, CM1 und Co. M1; M1; und V1, CR1 bzw. FR1).

Während jeder Periode wird von jedem Zeitgenerator ein Impuls erzeugt (solange nicht sein Zählwert-Register höher eingestellt ist als das Perioden-Register, was normalerweise sinnlos wäre). Wenn für einen speziellen Zeitgenerator ein Früh-Takt und -Zähler gewählt wurde, tritt eine Impuls-Vorderflanke, die mit einer Zyklus-Vorderflanke synchronisiert ist, zu einem Zeitpunkt entsprechend der durch den Früh-Zähler eingeführten Verzögerung in den entsprechenden Einsteller ein.

Das Grobregister mit vier in den Einsteller führenden Drähten ist durch den Computer in seinen Registern einstellbar, um im Einsteller die gewünschten Verzögerungen zu ergeben, wobei im Grobregister Verzögerungen von 0 bis 15 Verzögerungsschritte von jeweils etwa 300 Picosekunden und im Feinregister 0 bis 31 Schritte von jeweils 25 Picosekunden einstellbar sind.

Fig. 12 zeigt einen Einsteller.

Eine Leitung 150 vom Anpassungsblock 36 ist mit einem Verstärker 152 in eine Leitung 154 gepuffert, die mit 32 parallelen Widerständen verbunden ist; die Widerstandswerte betragen jeweils das zweifache, dreifache usw. bis zum 32-fachen des des niedrigsten Widerstandes 156. Zwischen jeden Widerstand und Masse ist ein Kondensator 158 geschaltet, alle Kondensatoren haben die gleiche Kapazität. Die Widerstände und die zugehörigen Kapazitäten sind über parallele Leitungen 159 mit einem Multiplexer 162 verbunden; jede Leitung 159 liefert eine Verzögerung, die etwa 25 Picosekunden länger ist als die der vorhergehenden, an den Widerstand mit dem

um eins kleineren Vielfachen des Wertes von R 156, und der Multiplexer 162 wird so eingestellt, daß er diejenige Leitung durchschaltet, die das gewünschte Feineinstellungsergebnis ergibt.

Das resultierende Signal läuft dann durch die Leitung 164 in den Grobeinsteller, in dem mittels eines Multiplexers 166 ein gewünschter Verzögerungspfad ausgewählt wird; wenn keine Verzögerung gewünscht wird, eine Leitung 168, bei einer Verzögerung von 300 Picosekunden eine Leitung 174, welche zwei Verstärker-Invertierer 172 enthält, die jeweils eine Verzögerung von 150 Picosekunden, insgesamt 300 Picosekunden, bewirken. Um eine Verzögerung von 600 Picosekunden zu erhalten, wird der Multiplexer 166 auf die Leitung 176 eingestellt, und so weiter, bis zu insgesamt 15 Leitungen zusätzlich zur Leitung 168 für eine Verzögerung bis zu 4500 Picosekunden in diesem Grobteil des Einstellers.

Aufgrund unserer Erkenntnis, daß eine Einstellung oder Programmierung in Verbindung mit den Einstellerteilen in zweckmäßiger Weise verwendet werden kann, um Herstellungstoleranzen zu korrigieren, sind die Zahlen 25 und 300 Picosekunden nur Beispiele oder Zielwerte und können um Zehner von Prozenten abweichen.

Zusammen mit dem Taktgeber 20 arbeiten alle Elemente, deren Arbeitsweise soweit beschrieben wurde, kontinuierlich von dem Zeitpunkt an, in dem die Rückebenen-Leistung eingeschaltet wurde, auch wenn kein "Test"-Signal zur Erzeugung einer Impulsgruppe oder eines Bursts gegeben worden ist.

Dadurch, daß vorgesehen ist, daß die Zeitgenerator-Elemente Treiberspuren oder -signale formende Flanken vor und zwischen den Impulsgruppen oder Bursts bis durch die Einsteller in genau der gleichen Weise übertragen, wie es vor und zwischen den Impulsgruppen der Fall ist, ergibt sich eine sehr hohe Konstanz der Verzögerung durch diese Teile jedes Zeitgenerators, was die neue Art und Weise der Verzögerungskorrektur außerhalb des BC und im Programm als Teil der Erfindung erleichtert.

Eine Impulsgruppe endet, wie bekannt, wenn ein vorgegebener Perioden-Zählwert erreicht ist, der durch den Computer in ein Register eingegeben worden war; das Burst- oder Impulsgruppensignal vom Mustergenerator 146 geht dann auf null. Zu gegebener Zeit liefert das Computerprogramm dann in bekannter Weise das nächste "Test"- oder Burst-Signal.

Wenn ein Test befohlen wird, indem man dies in den Computer 18 eingibt, instruiert der Computer 18 den Mustergenerator 146, sein Ausgangssignal hoch zu senden, ein Signal an alle Kanäle zu liefern, um den ersten Satz von Impulsgruppen eines Tests zu erzeugen. Dieser erste Satz enthält, wie jeder nachfolgende, 512 gleichzeitige Bursts, einen pro Kanal, wobei die Bursts in jedem Satz die gleiche Anzahl von Perioden haben und jede Periode den gleichen, wie oben erwähnt, synchronisierten Zyklus-Zählwert hat.

Jeder TG-Impulsmodulator 44 schleust entsprechend dem Kommando von der Paletten-Tabelle 46 durch das Pipe- oder Durchlaufelement 48 des Zeitgenerators (Fig. 3) selektiv Impulse von dem entsprechenden Einsteller 38 dieses TG's durch. Zweitens formt jeder Impulsmodulator die Form jedes durchgeschleusten Impulses in eine Spitze um, indem er einen eintretenden Impuls in zwei Impulse aufspaltet, einen dieser beiden Impulse verzögert und invertiert und den uninvertierten dieser beiden Impulse mit dem verzögerten und invertierten Impuls UND-verknüpft. Drittens arbeitet der Impulsmodulator jedes Zeitgenerators mit einem einzigen Zeitgenerator-Freigaberegister TER 200, Fig. 4, zusammen, welches mit ihm über eine 12-Bit-Leitung 202 verbunden ist, wie ersichtlich werden wird.

Wie sich aus den Fig. 3 und 4 ergibt, verbindet die zwölfadrige Leitung 202 den Impulsmodulator 44 mit TER 200, Leitungen 252 und 250 verbinden den Impulsmodulator und einen Treiber-Formatierer 208, die Leitungen 310 verbinden den Einsteller 38 und einen Vergleichs-Formatierer 128, Leitungen 312 verbinden den Impulsmodulator und den Vergleichs-Formatierer, und Leitungen 314 verbinden den Impulsmodulator und den Fehlerfangspeicher.

Die von den Impulsmodulatoren 44 gelieferten Impulse laufen alle in den einzigen Treiber-Formatierer 208, der zum Teil in Fig. 5 dargestellt ist. Leitungen von den ungeradzahigen Zeitgeneratoren (TG1, 3, 5 und 7) gehen zu einem ersten ODER-Gatter 72, dessen Ausgang zu einem Setz-Anschluß 74 (der die Ausgangsspannung auf "hoch" gehen läßt) eines S-R-(Setz-Rücksetz-)Flipflops 80 führt. Von den geradzahigen Zeitgeneratoren 2, 4, 6 und 8 führen Leitungen zu einem zweiten ODER-Gatter 76 und von diesem zu einem Rücksetz-Anschluß 78 desselben Flipflops 80. Wenn eine der zu einem dieser beiden ODER-Gatter gehenden Leitungen eine Spitze führt (im normalen Betrieb wird jeweils nur eine der acht Leitungen zu einem bestimmten Zeitpunkt eine Spitze führen), tritt auf seiner Ausgangsleitung eine Spitze auf, um den entsprechenden Setz-(ungerade) oder Rücksetz-(gerade) Anschluß anzusteuern. Das Ausgangssignal des S-R-Flipflops 80 tritt in einen Dateneingang eines konventionellen ATE-Stift-Treibers 82 ein, von denen jede Kanalkarte acht trägt, einen für jeden Kanal.

Der Treiber-Formatierer enthält außerdem eine Ein/Aus-Schaltung (nicht dargestellt), die identisch mit der gemäß Fig. 5 ist, mit der Ausnahme, daß nur zwei Eingänge das eine der beiden ODER-Gatter und zwei andere Eingänge das andere speisen. Die Ausgänge von den Impulsmodulatoren von TG3 und 5 sind Eingänge eines ODER-Gatters, welches den Setz-Anschluß eines S-R-Flipflops steuert; die Ausgänge der von TG 4 und 6 sind Eingänge eines ODER-Gatters, das den Rücksetz-Anschluß des Flipflops steuert. Wenn an irgendeinem Eingang eine Impulsspitze auftritt (was zu einem bestimmten Zeitpunkt nur an einem der vier geschehen kann), liefert das betreffende ODER-Gatter eine Spitze, die entweder ein Setzen (Treiber abgeschaltet) oder Rücksetzen (Treiber eingeschaltet) bewirkt. Wenn der Treiber eingeschaltet ist, ist die I-Last aus und umgekehrt.

Eine weitere Funktion des Takt-Konditionierers 22 besteht darin, ein BOP-Signal an eine Musterspeichersteuerung 90 zu liefern; dieses spezielle BOP-Ausgangssignal ist so konditioniert, daß es nur dann abgegeben wird, wenn das Bursts verursachende Signal vom Mustergenerator 176 hoch ist und bleibt. Dieses BOP-Signal (das Burst-BOP-Signal oder "BBOP") geht, wie erwähnt, zur Musterspeichersteuerung 90 (PMC), in die durch den Computer 18 eine Anfangsadresse eingegeben worden war. Die PMC liefert dann diese Anfangsadresse an den Musterspeicher 92, der aus drei schnellen, statischen, ein Byte (acht Bit) breiten, parallel geschalteten Speichern besteht, die außerhalb der BC auf der Kanalkarte 14 angeordnet sind. Nach der vom Computer gelieferten Anfangsadresse versorgt ein nicht dargestellter Adressenzähler in der Speichersteuerung 90 den

Adressenanschluß des Musterspeichers 92 mit Adressen, die jeweils 24 Daten-Bits enthalten. Die Speichersteuerung 90 überträgt ferner ein weiteres, konditioniertes BBOP-Signal an ein Register 94 (BBOPL), wobei die weitere Bedingung darin besteht, daß ein Ausgang jeweils nur einmal für jedes achte BBOP-Signal erfolgt. Zu Beginn eines Bursts veranlaßt BBOPL das Register, 24 Bits vom Mustergenerator während des einzigen Zyklus des BBOPL zu kopieren. Das BBOP-Signal veranlaßt während jedes seiner Impulse den Daten-Serialisierer 96, sukzessive Gruppen von drei Bits vom Register 94 zu kopieren. Bei jedem BBOP-Signal werden 24 weitere Bits, bei weiter folgenden Adressen, durch das Register 94 vom Speicher 92 kopiert. Der Daten-Serialisierer 96 füllt sich achtmal für jedes Mal, das sich das Register 94 einmal füllt.

Bei einem BBOP-Signal zieht jede der acht Paletten-Tabellen 36 des BC's von dem Datenserialisierer 96 dieses BC die Gruppe der drei Bits, die als nächstes an der Reihe sind, für alle acht.

Die Paletten-Tabelle 46 für einen der acht Zeitgeneratoren TG des Burst-Chips BC (z. B. L1, der für ein Arbeiten mit TG ausgelegt ist, wie es L2—L8 bezüglich TG2—TG8 sind) ist in Fig. 6 genauer dargestellt. Die eben erwähnten drei Ausgangsbits werden über die drei Leitungen 98 einem 8 : 1-Zünd- oder Auslösesteuer-Multiplexer 100 zugeführt. Das Eingangsbit veranlaßt den Multiplexer, einen Kreis zwischen einer gewählten Null oder Eins, die in das Auslösesteuer-Register einprogrammiert sind, in ein Latch-Register 104 zu schließen, durch welches bei einem BOP die gewählte Null oder Eins durch die Pipe- oder Durchlaufschaltung zum Impulsmodulator 44 läuft.

Die Pipe- oder Durchlaufschaltung 48 für einen der acht TG des BC (z. B. P1, die mit TG1 arbeitet, wie entsprechend P2—P8 mit TG2—TG8) ist in Fig. 7 genauer dargestellt. Das Ausgangssignal der Paletten-Tabelle 46 geht in einen Eingangsanschluß 106, auf den in Reihe 7 D-Flipflops 108a—g folgen, die jeweils einen Dateneingang D und Datenausgang Q haben. Das BOP-Signal wird parallel über durch einen Pfeil symbolisierte "Takt"-Anschlüsse 110, die hier jedoch, wie erwähnt, nicht auf den Takt, sondern auf BOP reagieren, allen D-Flipflops zugeführt. Von der D-Flipflop-Reihen-Leitung führen vor jedem D-Flipflop 108a—g und nach dem letzten D-Flipflop 108g Multiplexer-Eingangsleitungen 112a—h zu acht Eingängen 122a—h eines 8 : 1-Multiplexers 114, der so geschaltet ist, daß er von seinem einen der acht Pipe-Register 52 im BC über Leitungen 116 ein 3-Bit-Signal erhält, das durch den Computer in es einprogrammiert worden war und über einen ganzen Burst anwendbar ist. Im Zuge des Durchschleusens durch die Schaltung gemäß Fig. 7 führt das nächste BOP-Signal, nachdem das BBOP-Signal die Daten im Bit-Register freigegeben hat, diese Daten in das erste D-Flipflop 108 ein. Wenn der Multiplexer 114 auf 0 eingestellt ist, gehen die Daten auch direkt durch den Multiplexer zum Ausgangsanschluß 118. Wenn der Multiplexer 114 auf 1 eingestellt ist, laufen die Daten, die in dem ersten D-Flipflop waren, beim nächsten BOP-Signal durch die zweite Multiplex-Leitung 122b und dann zum Ausgangsanschluß 118, so daß also auf diese Weise eine Verzögerung von einer Periode erreicht worden ist. Eine Einstellung des Multiplexers auf 2 resultiert in entsprechender Weise in einer Verschiebung beim zweiten BOP-Signal vom zweiten D-Flipflop 108b und damit in einer Verzögerung von zwei Perioden. Auf diese Weise ist eine Verzögerung bis zu 7 Perioden verfügbar.

Die Daten laufen vom Pipe-Ausgangsanschluß 118 zu dem entsprechenden Impulsmodulator 44, wo sie mit dem Ausgang des entsprechenden Zeitgenerators, wie oben beschrieben, zusammenarbeiten, um ein Ausgangssignal für den Treiber-Formatierer 208 und dann durch den Treiber 82 in den Prüfling DUT zu befördern.

Nachdem der Burst seinen Weg durch den Prüfling DUT gelaufen ist, gelangen Ausgangssignale über die Prüfling-Eingangs-Ausgangs-Leitungen und Ausgangs-Leitungen zu den Dualvergleichern.

Die Treiber 82 und die Dualvergleicher 123 sind auf den Kanalkarten angeordnet, acht auf jeder Karte, einer für jeden Kanal.

Jeder Dualvergleicher enthält, wie bekannt, einen Hoch-Vergleicher und einen Niedrig-Vergleicher.

Jeder Dualvergleicher 123 ist Teil einer größtenteils konventionellen Vergleichs-Formatierer-Schaltung, welche, erreicht über Leitungen 134, 136, ferner eine Flanken-Tastschaltung 126 enthält, welche sich im Vergleichs-Formatierer 128 im BC befindet und in Fig. 8 genauer dargestellt ist.

Wie beim Stand der Technik wird der Dualvergleicher an den Leitungen 134 und 136 des Hoch- und Niedrig-Teiles jeweils mit einem konstanten hohen Schwellenwertspannungs- oder niedrigen Schwellenwertspannungs-Ausgang versehen, mit dem die tatsächliche zurückkommende Spannung vom Prüfling DUT kontinuierlich verglichen wird.

Fig. 8 zeigt links von oben nach unten Leitungen T5, T6, D5 (für Daten, wie sie mit T5 für den Treiber verwendet werden, jedoch auf T5 im Impulsmodulator umgetaktet und dorthin von der Pipe-Schaltung gesendet), D6 (verhält sich zu T6 wie D5 zu T5), B5, B6, B7, B8 (Burst-Signale von der zweiten Pipe-Schaltung, die im Impulsmodulator für ein entsprechendes Arbeiten mit T5—T8 konditioniert wurden), D7, D8, T7 und T8. B5 und B6 führen zu einem ersten Fehlerfangspeicher 130, der einen 2 : 1-Multiplexer (nicht dargestellt) enthält, der unter Leitung durch ein vom Computer eingestelltes, nicht dargestelltes Register eine Auswahl zwischen beiden trifft, um ein Verschiebungs-Freigabesignal an ein Schieberegister im ersten Fehlerfangspeicherteil 130 zu liefern. Die Funktion des Verschiebungs-Freigabesignals besteht darin, ein Fortschalten des Schieberegisters nur während des Bursts (Muster-Burst) zu gestatten. B7 und B8 führen zu einem zweiten Fehlerfangspeicherteil 132 dieser Art mit einem eigenen 2 : 1-Multiplexer und Schieberegister (nicht dargestellt). Jedes Schieberegister hat 32 D-Flipflops. Der Ausgang des zweiten Flipflops in jedem Fehlerfangspeicher 130, 132 ist mit dem Setz-Anschluß eines zusätzlichen (133-ten) Flipflops verbunden, dessen Ausgang über UND-Gatter 258, 260 mit einem entsprechenden von zwei Eingängen 138, 140 eines ODER-Gatters 142 verbunden ist. An den Ausgang des ODER-Gatters 142 ist eine Fehlerflaggen- oder Fehlersignal-Leitung 144 angeschlossen, die gepuffert ist, aus dem BC herausgeführt ist und zusammen mit den entsprechenden Ausgängen der anderen 511 BC's zu einem ODER-Baum führt, so daß der Mustergenerator 146 beim Auftreten einer Fehleranzeige informiert wird, daß in mindestens einem Kanal ein Fehler aufgetreten ist, was bewirkt, daß das Burst-Signal einen niedrigen Wert annimmt und den Burst stoppt. Der Computer setzt die Fehlerspeicher vor dem nächsten Burst auf null zurück.

Am Ende eines Bursts enthält das Schieberegister die Gut/Fehler-Daten für die letzten dreißig Perioden, und der Computer fragt diese Daten ab. Auf der rechten Seite der Fig. 8 sind eine Hoch-Vergleicher-Leitung 134 und eine Niedrig-Vergleicher-Leitung 136 zu sehen.

Jeder Dualvergleicher 123 ist also Teil einer zum großen Teil konventionellen Fenstertastschaltung, deren Rest im Vergleich-Formatierer 128 ist, der sich im BC befindet und dessen rechte Hälfte in Fig. 9 genauer dargestellt ist; die Schaltung der linken Hälfte dieser Fenstertastschaltung ist der linken Hälfte von Fig. 8 gemeinsam (ein nicht dargestellter Multiplexer schaltet zwischen den beiden um), und die andere Hälfte ist konventionell.

Die oben erwähnte zweite Pipe- oder Durchlaufschaltung 50, die mit der ersten Pipe-Schaltung 48 im Gleichlauf auf das Pipe-Register geschaltet ist, empfängt das Burst-("Test-")signal und verzögert es für die gleiche Anzahl von Perioden wie die Verzögerung in der ersten Pipe-Schaltung 48 (die beiden Pipe-Schaltungen sind im Aufbau gleich). Der Ausgang der zweiten Pipe-Schaltung ist auf die jeweiligen T5, T6, T7 oder T8 im Impulsmodulator 44 umgetaktet und tritt entsprechend als B5 bis B8 in die entsprechenden Fehlerfangspeicherteile 130, 132 ein.

Wenn Treiber-Aus freigegeben und befohlen ist (wie durch das "X" im Kästchen von TER 200 in Fig. 14(c) bzw. das "X" bei T3 in C2 in Fig. 14(b)), sind T5 bis T8 für eine Vergleichersperiodefunktion bereit. Für die Vergleichersfunktionen ist T5 immer mit T6 gepaart, und ihre beiden Ausgangsbits ermöglichen gemeinsam eine Wahl unter vier Periodenvergleichers-Betriebsarten.

Eine Sache, die für die Vergleichersfunktionsperioden getan werden muß, ist, daß eines oder beide Register 254, 256 durch den Computer 18 zwischen den Bursts gesetzt werden müssen, um einen oder beide UND-Gatter 258, 260 durchzuschalten.

Wenn die Flankentastfunktion gewählt ist, schalten T5 und/oder T7 hoch, während T6 und/oder T8 auf niedrig schalten. Die beiden Bits vom Paletten-Tabellen-Ausgang des schaltenden oder tastenden Paares liefern ein Kommando, das eine von vier Bedingungen für die Periode wählt: "Nicht beachten" (00), "Erwarte hoch" (01), "Erwarte niedrig" (10), und "Erwarte Mitte" (11).

Wenn das Fenstertasten gewählt ist, ist alles genauso, mit der Ausnahme, daß die ungeradzahlgliedigen der gepaarten Zeitgeneratoren Fenster öffnen (d. h., "starten") und die geradzahlgliedigen sie schließen (d. h., sie beenden). In Fig. 15(a) öffnet T7 ein Fenster und T8 schließt es sowohl in der fünften als auch in der siebten Periode; jedoch, wie in Fig. 15(b) dargestellt, erzeugt das Paar 7—8 unterschiedliche Ausgangssignale, indem es das "Erwarte niedrig" für die fünfte Periode bzw. das "Erwarte hoch" der siebten Periode fordert.

In Fig. 10 ist schematisiert und, vom Gesichtspunkt eines Benutzers aus gesehen, links ein Satz an acht Kästchen dargestellt, deren Ausgänge von 0 bis 7 numeriert sind. In jedem Kästchen ist eine Welle oder Schwingung mit der speziellen Form innerhalb einer Periode dargestellt (die Perioden sind in jedem Kästchen und in der in Fig. 10 dargestellten Ausgangssignalspur durch Paare benachbarter vertikaler gestrichelter Linien bezeichnet), wie sie, zusammenwirkend, durch die spezielle Drei-Bit-Gruppe spezifiziert werden, die durch den Daten-Serialisierer 96 für jede spezielle Periode an die Paletten-Tabelle 46 geliefert werden und die durch die durch diese Drei-Bit-Gruppe zur Auslösung ausgewählten Zeitgeneratoren, wobei beide TG's ausgewählt werden und die Verzögerungseinstellungen in den ausgewählten TG's. In dem obersten Kästchen ist die zeitliche Lage, die Breite (Dauer) und die Polarität des Impulses dargestellt, der durch die drei gelieferten Bits bei einer Einstellung der acht Paletten-Tabellen-Multiplexer auf 0 der acht Multiplexer 100 für einen Kanal in einer Periode für einen speziellen Burst geliefert wird. Die anderen Kästchen zeigen von oben nach unten entsprechenderweise die Impulse (soweit einer erzeugt wird), die in anderen Perioden dieses Kanals und Bursts durch die Paletten-Tabellen-Multiplexer-Einstellungen 1, 2, 3, 4 (kein Impuls) und (nicht benutzt) 5, 6 bzw. 7 erzeugt werden. (Jede Paletten-Tabelle enthält einen Multiplexer 100; einer von diesen mit dem ihm zugeordneten Register 102 ist in Fig. 6 dargestellt. Jede der acht Paletten-Tabellen ist ein Teil eines entsprechenden der acht TG's eines BC.)

Die Spur, d. h. der Signalverlauf, der im rechten Teil der Fig. 10 dargestellt ist, zeigt die durch die Datensequenz 0123421 in der Treiberschwingung erzeugten Impulse unter Verwendung der in den übereinander angeordneten Kästchen der Fig. 10 dargestellten Drei-Bit-Wahlmöglichkeiten.

Der in Fig. 10 dargestellte Multiplexer 100' ist eine abstrakte Darstellung der Funktion der acht Multiplexer 100, die jeweils zum Inhalt einer der acht in Fig. 10 dargestellten Kästchen beitragen.

In der Signalspur gemäß Fig. 10 sind die Schwingungsformen in sieben Perioden dargestellt, die erste entsprechend der Einstellung 0 von einer der Gruppe von acht Drei-Bit-Eingangssignalen, die als Gruppe 98' versinnbildlicht sind, die zweite entsprechend der Einstellung 1, die dritte entsprechend der Einstellung 2, die vierte entsprechend der Einstellung 3, die fünfte entsprechend der Einstellung 4, und die sechste und siebte wieder entsprechend der Einstellung 2 bzw. 1.

Andere Schwingungsform-Spurteile sind in den Fig. 11(d) (nur vier Perioden), 13(d) (sieben Perioden), 14(d) (acht Perioden) und 15(d) (acht Perioden) dargestellt, die beiden letzteren enthalten eine Flankentast- bzw. Fenstertast-Periode. Die Paletten-Tabelle gemäß der Erfindung macht eine selektive Bildung aller dieser und einer effektiv unendlichen Anzahl anderer möglich.

Fig. 11(d) zeigt den Treiber-Signalverlauf für eine vierperiodige Sequenz im Gegensatz zu der sieben-periodigen wie in Fig. 10. Die erste Periode in Fig. 11 entspricht jedoch der ersten Periode in Fig. 10 wie auch Fig. 11(a), was zeigt, daß zur Bildung der in der Box null der Fig. 10 dargestellten Periodenschwingung TG1 und TG2 durch den Befehl 0 veranlaßt werden, während der ersten Periode zu zünden oder einzuschalten (was hier und anderweitig durch Spitzen dargestellt ist); wann sie während dieser Periode zünden oder einschalten, wird durch die Verzögerungen bestimmt, die jeweils in der oben beschriebenen Weise eingesetzt wurden. Fig. 11(b) zeigt, daß der Befehl 0 beim Kommando CO sowohl TG1 als auch TG2 während der ersten Periode zum Einschalten veranlaßt hat. Da ungeradzahlgliedige Zeitgeneratoren ansteigende Impulsflanken erzeugen, lieferte TG1 die anstei-

gende Flanke des Impulses der ersten in Fig. 11(d) dargestellten Periode; geradzahlige Zeitgeneratoren erzeugen abfallende Flanken, TG2 erzeugt also die abfallende Flanke dieses Impulses, während sie zusammen die Polarität bestimmen; die Lage einschließlich Breite des Impulses sind ebenfalls durch die in TG1 und TG2 eingestellten Verzögerungen beeinflusst worden.

Die für jede spezielle Periode in den verschiedenen Zeitgeneratoren-Paletten-Tabellen gesetzten Daten sind alle für dieselbe von einer von acht Wahlmöglichkeiten; in der ersten Periode für Fig. 11(a) bis 11(d) ist die Wahl also null, und für null sind die Einstellungen der acht Paletten, wie es bei CO in Fig. 11(b) angegeben ist.

In Fig. 6 ist der TG-1-Multiplexer in diesem Burst dargestellt und, wie bei "CO" (Kommando für die Einstellung 0) von Fig. 11(b) ersichtlich ist, setzt die Einstellung der drei Bits auf Null TG1 bei 0 zum Einschalten, wie durch die Spitze in der ersten Periode, die in Fig. 11(a) dargestellt ist, gezeigt ist, um die ansteigende Flanke des in Fig. 11(d) dargestellten Treiber-Impulses zu erzeugen.

Während der Bursts gemäß Fig. 10 und 11(a) bis 11(d) gibt es nur die Einstellungen der Zeitfreigabe-Register 200, wie sie in Fig. 11(c) dargestellt sind.

Es gibt acht Anordnungen der Multiplexer gemäß Fig. 6 in der Paletten-Tabelle 46, jede hat eine gemeinsame Drei-Bit-Steuerung mit acht Wahlmöglichkeiten, im Effekt ergibt sich eine 64-Kästchen-Matrix, wie sie in Fig. 11(b) dargestellt ist. In Fig. 11(b) sind die acht Wahlmöglichkeiten dargestellt, die durch den Computer für den in Fig. 11(d) dargestellten Treiber-Burst-Signalverlauf in die Matrix eingegeben worden sind. Wie dargestellt, fordert die CO-Einstellung auch für das Einschalten von TG2, das durch die Spitze in Fig. 11(a) dargestellt ist und wieder in der abfallenden Impulsflanke Fig. 11(d). Die C1-Einstellung in Periode 2 schaltet in entsprechender Weise TG3 für eine ansteigende Flanke und TG4 für eine abfallende Flanke ein usw., wie in den Fig. 11(a) bis 11(d) klar ersichtlich dargestellt ist.

Die Zahlen an der Oberseite von Fig. 11(a) sowie von Fig. 13(a), 14(a) und 15(a) beziehen sich auf die Anzahl der Zyklen in den Perioden; der sechste Zyklus jeder Periode fällt mit dem 0-Zyklus des folgenden Zyklus und dem Anfang der folgenden Periode zusammen und ist mit "0" bezeichnet.

Die Fig. 11(a), 13(a), 14(a) und 15(a) sind praktisch Diagramme derjenigen Impulse in den acht Zeitgeneratoren T1—T8, die durch den Impulsmodulator 44 durchgetastet werden; auch die dargestellte spitze Form erhalten sie erst in dem tastenden Impulsmodulator. Obgleich nicht dargestellt, erzeugt jeder TG einen Impuls pro Periode, z. B. T1 pulst wirklich beim Zählwert 0 jeder Periode, wird jedoch nur in Kommandoperioden null durchgetastet.

Die Fig. 13(a) bis 13(d) sind ähnlich den Fig. 11(a) bis 11(d), zeigen jedoch einen Kanalburstteil von sieben Perioden, in dem die Impulse eine Polarität haben, die denen der Fig. 11(a) bis 11(d) entgegengesetzt ist, und unterschiedliche Breite aufweisen. Die einzigen Einstellungen im Zeitfreigabe-Register TER 200 sind hier die sechs freigegebenen Einschaltungen von hoch oder niedrig, wie erwähnt und wie durch Fig. 13(b) gefordert wird. Für die erste dargestellte Periode wird also der in Fig. 13(d) dargestellte invertierte Impuls durch Einschalten von TG8 und TG7 zu den Zeitpunkten (Zählwert 2 bzw. 3, obere Reihe von Fig. 13(a)), die in der Figur angegeben sind. (Die "X" in den Kästchen der Fig. 11(c), 13(c), 14(c) und 15(c) geben an, welchem TG erlaubt ist (freigegeben ist), möglicherweise während einer speziellen Periode einzuschalten; welche während der Periode einschalten, wird anderweitig für jede Periode durch die Paletten-Tabelle 46 — C3, Fig. 13(c) — und den Musterspeicher 92 gesteuert.)

In der zweiten Periode ist C1 so programmiert, daß keine Änderung in dem Signalverlauf erzeugt wird, wie er von der ersten Periode erhalten wird. Kein TG schaltet ein, d. h., Fig. 13(a) enthält in dieser Periode keine Spitzen. Dementsprechend resultiert in dieser Periode auch kein Treiberimpuls.

In der dritten Periode ergibt sich ein breiter invertierter Impuls von der Einschaltung von (C2) TG6 beim Zählwert 1, was eine abfallende Impulsflanke erzeugt, und TG5 beim Zählwert 5 zum Erzeugen einer ansteigenden Flanke. Die vierte und fünfte Periode liefern zusammen einen periodenüberlappenden invertierten Impuls, der aus einem Einschalten (C7) von TG2 beim Zählwert 5 in der vierten Periode und TG1 beim Zählwert 2 in der fünften Periode resultiert. Tatsächlich erfolgte die Einschaltung von TG1 im Effekt beim Zählwert 8 (Pipe 1 plus Zählwert 2) vom Beginn der vierten Periode, die dargestellt ist, diese Fähigkeit über eine oder mehrere Perioden hinaus zu verzögern, ist eine wichtige Steuer- oder Programmierfähigkeit von relativ kostengünstigen Ausführungsformen der Erfindung. In der sechsten Periode (C3) wird ein Impuls durch Einschalten von TG8 beim Zählwert 2 und TG7 beim Zählwert 3 erzeugt. In der siebten Periode schaltet TG6 beim Zählwert 1 und dann TG7 beim Zählwert 3 ein.

In den Fig. 14(a) bis 14(d) ist dargestellt, wie eine Palette gemäß der Erfindung nicht nur zur Treiber-Steuerung, wie in den sonst analogen, oben beschriebenen Figuren verwendet werden kann, sondern auch zum Vergleichen.

Jede Kanalkarte 14 trägt acht I-Last-Einheiten 140, eine für einen Kanal:

Die TER-Einstellungen sind in Fig. 14(c) dargestellt.

In der ersten Periode beginnen wir mit der Spur oder dem Signalverlauf bei einer mittleren I-Last-Spannung, bei der Spannung der vorhergehenden (nicht dargestellten I-Last-)Periode. Dies ist jedoch eine Treiber-Periode, so daß beim Zählwert 2, gemäß den Fig. 14(b) und 14(c) TG 4 einschaltet, um den Treiber (wie es in Fig. 14(a) dargestellt ist) einzuschalten, der auf Niedrig schaltet, da das sein Zustand beim letzten (nicht dargestellten) Ein war. Das Einschalten von TG1 beim Zählwert 3 steuert den Treiber auf Hoch, und das Einschalten von TG2 beim Zählwert 5 schaltet ihn wieder herunter auf niedrig, um den dargestellten Impuls der ersten Periode zu vervollständigen.

Das Signal geht dann weiter in die zweite Periode, die dargestellt ist, eine Vergleichs-Periode. Die Treiber-Spannung Niedrig dauert an, bis T3 den Treiber beim Zählwert 1 ausschaltet, was die I-Last die Spannung auf den mittleren I-Last-Wert zu treiben gestattet. T6 schaltet dann beim Zählwert 1½ (unter Verwendung des Spät-Registers), um hier eine Flanke mit einem "Erwarte niedrig"-Vergleich (Fig. 14(b), C2) zu tasten.

Die ungeradzahligen Zeitgeneratoren T5 und T7 werden zum Hoch-Tasten verwendet, die geradzahligen

Generatoren T6 und T8 sind Niedrig-Tasteinrichtungen.

Die Vergleichs-Betriebsartspannung dauert bis in die dritte Periode an, eine weitere Vergleichs-Betriebsartperiode, in der T3 beim Zählwert 1 ein hier redundantes "Treiber-Aus"-Kommando schaltet (der Treiber ist ja bereits ausgeschaltet), und dann schaltet T5 beim Zählwert 1½ ein Flankentast-Hoch-Kommando C3 (Fig. 14b), was "Erwarte hoch" befiehlt.

Die mittlere Spannung dauert bis in die vierte Periode an, in der der Treiber beim Zählwert 2 durch T4 eingeschaltet wird, was eine Rückkehr zu der zuletzt (in Periode 2) angenommenen Treiber-Ein-Spannung, niedrig, bewirkt. Die Situation dauert bis in die fünfte Periode an, bis der Treiber beim Zählwert 1 durch T3 abgeschaltet wird. Nachdem TG3 den Treiber abgeschaltet hat, schaltet TG8 beim Zählwert 5 der Periode 5 niedrig und C4 befiehlt "Erwarte niedrig".

Die sechste Periode ist eine weitere Treiberperiode und stimmt mit der ersten Periode, die dargestellt ist, überein. Die siebte Periode stimmt mit der zweiten überein, mit der Ausnahme, daß die Tastung beim Zählwert 5 durch TG7 hoch ist und "Erwarte hoch" durch C5 kommandiert wird. In der achten Periode passiert nichts: die auftretende Spitze TG-T-3 ist redundant.

Die Erfindung gestattet es also, viele Änderungen im Fluge (d. h. innerhalb eines einzigen Bursts) zu machen. In der siebten Periode erfolgte die Tastung also beispielsweise beim Zählwert 5, während sie in der dritten Periode beim Zählwert 1½ erfolgte. Wenn auch dieses nicht für die TER-Einstellungen (z. B. wie in Fig. 14(c)) gilt, ist es wahr für Speicherkommandos (z. B. wie in Fig. 14(b)).

Wie in Verbindung mit den Fig. 14(a) bis 14(c) erwähnt wurde, können die Zeitgeneratoren bei halben Zählwerten (einem Zählwert entsprechend der zeitlichen Dauer eines 360° Taktzyklus) als auch Zählwerten gezündet oder geschaltet werden. Die Vorderflanken des Früh-Taktes werden selbstverständlich benutzt, um bei Zählwerten zu schalten, und die Vorderflanken des späten Taktes zum Schalten bei halben Zählwerten. Das Zünden oder Schalten kann auch irgendwo anders innerhalb der 360° eines Zählwertes oder Zyklus in Intervallen von 25 Picosekunden oder weniger eingestellt werden, indem man die Einsteller in der Weise verwendet, die bereits beschrieben wurde und im folgenden noch weiter erläutert wird.

Die Fig. 15(a) bis 15(d) gleichen den Fig. 14(a) bis 14(d), mit der Ausnahme, daß Fenstertastungen anstelle von Flankentastungen verwendet werden.

Die erste Periode stimmt mit der ersten Flankentastperiode überein, die in den Fig. 14(a)-(d) dargestellt ist.

Die zweite Periode (digital 010, d. h. 2) ist wieder eine Vergleichs-Periode, bei der TG3 den Treiber ausschaltet (Fig. 15(a) und 15(c)), TG5 das Fenster öffnet und TG6 das Fenster schließt. Das Fehlen eines "X" in Fig. 15(c) für TG 5 oder TG6 bedeutet, daß diese Zeitgeneratoren TG für diesen Burst für eine Vergleichsfunktion frei sind, und, wenn sie so frei sind, das Öffnen und Schließen eines Fensters in jeder Periode signalisieren (bedeutungslos für jede Periode, die nicht tatsächlich eine Fenstertast-Vergleichsperiode ist). "Erwarte niedrig" war gemäß C2 in Fig. 15(b) durch das TG5-TG6-Paletten-Tabellen-Ausgangssignal mitgeteilt worden.

In der dritten Periode schaltet T3 redundant zum Ausschalten des bereits ausgeschalteten Treibers beim Zählwert 1, das Fenster wird geöffnet und geschlossen wie in der zweiten Periode, und T5-T6, entsprechend C3 (Fig. 15(b)), befiehlt dem Fenster, Hoch zu erwarten.

In der vierten Periode schaltet T4 den Treiber ein, der in seinen letzten Zustand, niedrig, geht, eine Bedingung, die andauert, bis T3 in der nächsten Periode den Treiber ausschaltet und die Spannung zurück auf ihre mittlere Position gehen läßt und eine weitere "Rückkehr auf Null" - Treiber-Betriebsart-Funktion vollendet. Während dieser fünften Periode tritt ebenfalls eine Fenstertastung auf, Öffnen und Schließen wie in der zweiten und dritten Periode, diesmal jedoch befohlen durch C4 durch T7-T8, Niedrig zu erwarten, und mit dem Fenster, diesmal ein spätes in der Periode, geöffnet und geschlossen durch T7 und T8.

Die sechste Periode ist eine weitere Treiberperiode, gerade wie die sechste von Fig. 14(a)-(d).

Die siebte Periode ist ganz gleich der fünften, mit der Ausnahme, daß hier das Fenster Hoch erwartet entsprechend C5 und T7-T8.

Die achte Periode ist wie die dritte, mit der Ausnahme, daß hier keine Tastung erfolgt: eine "Unbeachtlich"-Periode (C6).

Das Zeitfreigabe-Register 200, das in den Fig. 11(c), 13(c), 14(c) und 15(c) in verschiedener Weise programmiert dargestellt ist, stellt ein wertvolles Merkmal dar, das erheblich zur Flexibilität der Wahlmöglichkeit und Verwendung beiträgt.

Von den Zeitgeneratoren 1 bis 8 können also irgendeiner oder mehrere durch den Computer 18 gesetzt werden, um ein "Zünden" oder Schalten zu ermöglichen (ein Durchschalten und Umformen im Impulsmodulator 44), um die Spannung im Treiber auf Hoch (ungeradzahlige TG's) oder Niedrig (geradzahlige TG's) zu schalten. Die "T1 HOCH"- bis "T8 NIEDRIG"-Kästchen in beispielsweise Fig. 14(c) versinnbildlichen diese acht möglichen Freigabeeinstellungen, und die "X" in gewissen dieser Kästchen reflektieren die speziellen Freigaben, die für den in Fig. 14(a) dargestellten Burst- oder Impulsgruppenteil gesetzt sind.

Gemäß diesen Freigaben bewirken Kommandos von der Paletten-Tabelle 46 gemäß beispielsweise entsprechend der Tabelle gemäß Fig. 14(b) das in Fig. 14(c) dargestellte Schalten oder Zünden. Das TER 200 kann also durch den Computer 18 gesetzt werden, um das Schalten oder Zünden irgendeines der TG1 bis 8 zu ermöglichen, wenn es durch das Drei-Bit-Eingangssignal 98 (Fig. 6) befohlen wird, mit der Verzögerungseinstellung, die durch die gewählten Zähler und Einsteller mittels des Computers 18 vorgeschrieben wurden.

Die TG3 bis 6 können ebenso durch den Computer gesetzt werden (für eine ganze Impulsgruppe, wie das im vorangehenden Absatz diskutierte Setzen), um das Ausschalten (T3 oder T5) oder Einschalten (T4 oder T6) eines entsprechenden Treibers 82 zu ermöglichen. Acht der 12 Leitungen 202 vom TER 200 zum Impulsmodulator 44 tun die Impulsfreigabe, die im vorangehenden Absatz diskutiert wurde; die verbleibenden vier der 12 geben die eben erwähnten Treiber-Ein-Aus-Funktionen frei. Ein teilweise zweiter Teil der Impulsmodulatoren T3-T6 arbeitet durch zweite Ausgangsleitungen 250, um dadurch selektiv durch die Treiber-Ein-Aus-Schaltung gewisse

oder keine der Zeitgenerator-Impulse durchzuschleusen. (Die ersten Auslaßleitungen 252 handhaben die Achtergruppe des vorangehenden Absatzes.)

Die in vorteilhafter Weise zahlreichen und anpassungsfähigen Impuls-Flanken-Funktionen der acht Zeitgeneratoren (TG (oder T) 1 bis 8) sind in der folgenden Tabelle aufgeführt:

	<u>TG</u>	<u>TREIBER</u>	<u>F.-TASTUNG</u>	<u>FENSTER S.</u>
10	T1	HOCH		
	T2	NIEDR.		
	T3	HOCH	AUS	
15	T4	NIEDR.	EIN	
	T5	HOCH	AUS	HOCH START
	T6	NIEDR.	EIN	NIEDR. STOP
20	T7	HOCH	HOCH	START
	T8	NIEDR.	NIEDR.	STOP

Die ersten beiden Spalten geben die zwölf Freigabemöglichkeiten wieder, die durch die zwölf Bits 202 verfügbar sind, wie oben erläutert wurde. Die dritte Spalte gibt die Vergleichs-Betriebsart mit durch den Computer 18 gewählter Flankentastung wieder, Hoch-Tastungen werden durch T5 und T7 bewirkt, und Nieder-Tastungen durch T6 und T8; was mit diesen Flanken-Tastungen ("Erwarte hoch oder niedrig" usw.) zu tun ist, wird durch das Ausgangssignal des TG-Paares bestimmt, das mit der Tastung befaßt ist, wie an anderer Stelle hier erläutert wurde. Die vierte Spalte enthält die gewählte Fenstertastung und zeigt, daß in dieser Betriebsart T5 sowie T7 Fenster öffnen und T6 sowie T8 sie schließen. (T5 und T6 sind für die Vergleichs-Betriebsart gepaart, um von dieser zwei Paletten-Tabellen-Ausgangssignale zu liefern, deren beide Bits für die vier Paletten-Kommando-Optionen benötigt werden.)

Für den Fachmann ist es klar, daß die oben dargestellten Treiber-Schwingungsformen zu der "Rückkehr auf Null" (return to zero) Treiber-Betriebsart gehören.

Es ist bekannt, daß für die Eichung der Testschaltung anfänglich und periodisch ein Zeitdomänen-Reflektometer (TDR) benötigt wird.

Bei der bevorzugten Ausführungsform erfordert eine volle Eichung gewisse Eichungen, die sowohl Treiber- als auch Vergleichs-Funktionen benützen, und andere Eichungen, die eine oder die andere oder nur eine dieser Funktionen benützen.

In der ersten Kategorie werden die folgenden Messungen gemacht, wobei alle Zeitgeneratoren der Reihe nach benutzt werden, und in eine Eichentabelle eines nicht dargestellten Speichers des Computers 18 eingegeben:

1. Die Verzögerung, verglichen mit der im Hauptvergleich des TGR 180, wenn alle Zeitregister des BC mit der Ausnahme des Perioden-Registers auf null gestellt sind und das Perioden-Register auf 128 gesetzt ist, für jede Schritteinstellung (grob und fein) des Einstellers — die "Schritt-Messungen".
2. Die Rückschleusverzögerungen (backgating delays), mit der Einstellung null aller Zeitregister mit der Ausnahme der Einstellung des Grobeinstellers auf 4 und des Feineinstellers auf 6, verglichen mit der im TDR 180 Hauptvergleich (nicht dargestellt) für Einstellungen des Perioden-Registers auf 2, 3, 4, 8, 16, 32, 64 und 128 — die "Rückschleus-Messungen" (backgating measurements)
3. Mit den Registern wie bei Paragraph 1 werden die Verzögerungen in den BC (die in dessen Teilen vor dem Anpassungsblock verursacht werden), die durch Frequenzänderungen verursacht werden, im Hauptvergleich bei Frequenzen entsprechend Perioden (in Nanosekunden) von: 3,33, 3,75, 4,17, 4,58 und 5,0 sowohl im Früh- als auch im Spät-Zyklus gemessen — die "Taktsymmetrie-Messungen".

Für die Treiberfunktion allein:

4. Mit allen Zeitregistern auf null gestellt wird unter Verwendung aller Zeitgeneratoren der Reihe nach die Verzögerung am Prüfling DUT gemessen, die durch Draht- oder Leitungslängen-Schwankungen im DIB und andere Systemverzögerungsschwankungen verursacht werden, was unter Verwendung von mehrfachen Messungen einschließlich von einiger Reflektometrie — die "Treiberversätze" (driver offsets).

Schließlich für nur die Vergleichsfunktion:

5. Mit den T5- bis T8-Zeitregistern auf null gestellt die Verzögerung am Prüfling DUT, die durch Draht- oder Leitungslängen-Schwankungen im DIB und andere Verzögerungsschwankungen verursacht werden, was wieder unter Verwendung von Mehrfachmessungen einschließlich einiger Reflektometrie erfolgt und im Stand der Technik als "Vergleichersversätze" (comparator offsets) bezeichnet wird.

Es gibt neun TDR, die alle, wie die DIB12, auf einem nicht dargestellten Testkopf montiert sind, wie es üblich ist. Acht der TDR sind jeweils mit den Kanälen von acht Kanalkarten verbunden, um die 64 Sparten oder Kanäle, die durch die Kanalkarten repräsentiert werden, zu eichen und eine Kolinearität dieser 64 zu gewährleisten. Ein neunter TDR auf dem Testkopf erzeugt eine Kolinearität unter den acht Gruppen von 64, die durch die TDR1 bis 8 bedient werden.

Das Computerprogramm macht nun nach Beginn des Testens Gebrauch von den eben aufgeführten Messungen, die sich nun den Programm-Eichtabellen befinden, wie es in Fig. 16 dargestellt ist.

Zuerst stellt das Computer-Testprogramm die Forderung T_{R400} (Fig. 16), daß eine Flanke den Treiber bei, sagen wir einmal, 30 Nanosekunden erreicht.

Zu diesem Wert wird dann (402) aus der oben erwähnten Eichtabelle der Treiberversatz (DO) von beispielsweise 5,1 Nanosekunden addiert, wobei man dann 35,1 Nanosekunden erhält. Zu diesem zuletzt erwähnten Wert wird dann die Rückschleusfrequenz-Messung (BG) bei der verwendeten Periode (hier sechs) addiert, was bei diesem Ausführungsbeispiel eine Interpolation unter den Eichtabellenkurven erfordert, die aus den wie oben geschildert durchgeführten Messungen resultierten, was 0,2 Nanosekunden (200 Picosekunden) und eine justierte Flankenzeit (T_A) von insgesamt 35,3 Nanosekunden ergibt.

Diese Zahl wird dann (404) durch die Anzahl der Nanosekunden in einer Periode 24, geteilt, um zwei Zahlen zu erhalten, eine die ganze Anzahl von Malen, die P 24 vollständig in 35,3 geht, und die andere Zahl R_P , die verbleibt, wenn die ganzzahlige Anzahl $2f$ (PD_P) von 35,3 subtrahiert wird, also 1 bzw. 11,3. Die erforderliche Pipe- oder Durchschleusfunktion ist also 1.

Der Takt liefert 4 Nanosekunden Verzögerung pro Zählwert (C) und das Programm teilt als nächstes 11,3 in der gleichen Weise, um das Ergebnis 2 und einen Rest R_C von 3,3 zu ergeben, so daß hierdurch der Zählwert 2 vorgeschrieben wird.

Der Rest 3,3 wird dann im Schritt 408 durch die zusätzliche Verzögerung H geteilt, die durch Verwendung des Spät-Taktes verfügbar ist, ungefähr 2 Nanosekunden, der genaue Wert wird jedoch durch Interpolation durch den Computer von der Taktsymmetrie-Messung in der Eichtabelle gewonnen (2,09 ns), so daß sich die Zahlen 1 und 1,21 ns (der Spät-Takt war um 0,09 versetzt) für H und R_H ergeben.

Im Hinblick auf diese verbleibende Verzögerung R_H , 1210 Picosekunden, wählt das Steuerprogramm dann im Schritt 410 den nächstliegenden Grobeinstellerschritt unterhalb dieses Wertes, bei dem hier angenommenen Beispiel ist dieser Schritt 1100 Picosekunden, so daß 110 Picosekunden verbleiben, in denen im nächsten Verfahrensschritt 412 durch die nächstniedrigere Einstellung des Feineinstellers Rechnung getragen wird, so daß, wenn diese Einstellung 100 beträgt, ein Restfehler von 10 Picosekunden bleibt.

Das Pipe-Register 52, Zählwertregister 54, E/L-Register 34, Grobregister 40 und Feinregister 42 werden also durch den Computer 18 auf 1, 2, früh, Schritt 4 bzw. Schritt 4 eingestellt, die ersten beiden wurden errechnet, und die letzten drei durch den Computer "nachgeschlagen".

Die Resultate für jede Gesamtverzögerung werden in einem Computerspeicher-Zwischenlager gespeichert, so daß sie dort bei zukünftigem Bedarf zugegriffen werden können, ohne die obigen Schritte wiederholen zu müssen.

Für die Treiberflankenrechnung werden die obigen Eichparagraphen Nr. 4, 1, 2 und 3 verwendet. Für eine Vergleichersflankenrechnung werden die Paragraphen 5, 1, 2 und 3 verwendet.

Das oben beschriebene spezielle Ausführungsbeispiel läßt sich durch den Fachmann in der verschiedensten Weise abwandeln.

Der Burst-Chip kann beispielsweise in Silizium gebildet werden.

Verschiedene Elemente der bevorzugten Ausführungsform-Kombinationen können weggelassen, ergänzt oder ersetzt werden.

Die Burst-Chip-Flächengröße und die Verzögerung im BC nach den Zeitgeneratoren kann geändert werden.

Mehr oder weniger Zeitgeneratoren können vorgesehen werden; mehr oder weniger Bits können den Paletten-Tabellen zugeleitet werden; mehr oder weniger Zählwerte pro Periode können verwendet werden.

Das beschriebene Ausführungsbeispiel wird derzeit bevorzugt, es ist jedoch nicht einschränkend auszulegen.

Patentansprüche

1. Integrierte Galliumarsenid-Schaltung (IC), die eine digitale Automatische-Test-Einrichtung-(ATE)-Kanalschaltung enthält.

2. IC nach Anspruch 1, dadurch gekennzeichnet, daß die Schaltung einen Zeitgenerator (TG) enthält.

3. IC, der eine digitale ATE-Schaltung mit einer Paletten-Tabelle enthält, welche eine Mehrzahl von selektiv programmierbaren Kommando- oder Befehls-Einrichtungen, die jeweils geeignet sind, Kommandos für eine Änderung in einem Spannungsverlauf abzugeben, enthält und eine Modulationseinrichtung, die für ein sukzessives selektives Anwenden der Kommandos auf den Spannungsverlauf geschaltet ist.

4. Impulsgruppenformungsschaltung mit

- einem Früh-Zähler zum Zählen unverzögerter Taktzyklen,
- einem Spät-Zähler zum Zählen von um 180° verzögerten Taktzyklen,
- einem Zählwert-Multiplexer zum selektiven Übertragen von Früh- oder Spät-Takt-Zählwerten <
- einem Taktmultiplexer zum selektiven Übertragen von Früh- oder Spät-Taktzyklen,
- einem Früh/Spät-Register zum selektiven Gleichlaufkoppeln des Zählwert-Multiplexers und des Taktmultiplexers,
- einem Anpassungsblock zum Hindurch-Übertragen einer nächsten Taktvorderflanke bei Erreichen eines entsprechenden eingestellten und erreichten Früh- oder Spät-Zählwerts,
- einem Einsteller, dem das Ausgangssignal des Anpassungsblocks zugeführt ist, und

- einem Impulsmodulator zum selektiven Übertragen des Ausgangssignales des Einstellers.
- 5. Impulsgruppenformungsschaltung mit
 - einem Zählwert-Multiplexer zum selektiven Übertragen von Früh- oder Spät-Takt-Zählwerten,
 - einem Taktmultiplexer zum selektiven Übertragen von Früh- oder Spät-Taktzyklen,
 - 5 — einem Früh/Spät-Register zum selektiven Gleichlaufkoppeln des Zählwert-Multiplexers und des Taktmultiplexers,
 - einem Anpassungsblock zum Hindurchübertragen des entsprechenden eingestellten und erreichten Früh- oder Spät-Zählwertes bei einer nächsten Taktvorderflanke,
 - einem Einsteller, dem das Ausgangssignal des Anpassungsblocks zugeführt ist, und
 - 10 — einem Impulsmodulator zum selektiven Übertragen des Ausgangssignales des Einstellers.
- 6. Schaltung nach Anspruch 5, gekennzeichnet durch eine Mehrzahl von Zeitgeneratoren, die jeweils eine eigene Kombination von zusätzlichen der im Anspruch 5 angegebenen Schaltungselemente enthalten.
- 7. Schaltung nach Anspruch 5 oder 6, dadurch gekennzeichnet, daß jeder Einsteller einen Grobeinsteller und einen Feineinsteller enthält.
- 15 8. Schaltung nach Anspruch 5, gekennzeichnet durch eine Pipe- oder Durchtaktschaltung und ein Pipe-Register, wobei die Pipe-Schaltung für ein selektives Verzögern eines Eingangssignales zum Impulsmodulator um eine ausgewählte Anzahl von Perioden, wie sie im Pipe-Register gesetzt ist, ausgebildet ist.
- 9. Impulsgruppen-Formungsschaltung mit
 - einer elektronischen Paletten-Tabelle, die eine Mehrzahl von Registeranordnungen, eine entsprechende Mehrzahl von Multiplexern und einen Impulsmodulator enthält, wobei jede Registeranordnung selektiv setzbar ist, und jede dieser Registeranordnungen so ausgebildet und geschaltet ist, daß sie durch einen entsprechenden der Multiplexer zum Impulsmodulator Datenkommandos in den Multiplexer durch das Register, das mit seinem zugehörigen Multiplexer zusammenwirkt, liefert.
- 10. Paletten-Tabelle mit
 - einem Register,
 - einem Multiplexer und
 - einem Impulsmodulator,
 wobei das Register durch einen Computer setzbar ist, um den Impulsmodulator durch den Multiplexer mit einem schwingungsbeeinflussenden Signal zu versorgen.
- 30 11. Impulsgruppen-Formungsschaltung mit
 - einer Taktanordnung zum Liefern von Impulsen mit einer gewählten Anzahl von Zyklen pro Sekunde,
 - einer Invertieranordnung zum Liefern von invertierten Taktimpulsen mit einer Verzögerung von 180°,
 - 35 — einem Periodenregister zum Rückstellen auf null folgend einem Periodenzählwert, um eine Periode mit einer vorgegebenen Anzahl der Zyklen zu liefern,
 - eine Pipe-Schaltung zum Verzögern um eine vorgegebene Anzahl von Perioden und
 - einer Mehrzahl von Zeitgeneratoren,
 wobei die Taktanordnung die Taktimpulse an mindestens einem der Zeitgeneratoren liefert, die Invertieranordnung die verzögerten Impulse an mindestens einen der Zeitgeneratoren liefert, die Zeitgeneratoren so ausgebildet sind, daß sie jeweils nach Empfang einer vorgegebenen Anzahl von einem oder mehreren der Taktimpulse und der verzögerten Impulse eine Reaktion liefern, und mit
 - einem Impulsmodulator,
 wobei jeder Impulsmodulator vorgewählte, Signalverlauf-modifizierende Kommandos überträgt, welche Information einschließen, die in den genannten Reaktionen enthalten sind.
- 45 12. Schaltung nach Anspruch 11, gekennzeichnet durch einen vor dem genannten Impulsmodulator angeordneten Einsteller, der eine zusätzlich verzögerte Reaktion erzeugt.
- 13. IC nach Anspruch 2, dadurch gekennzeichnet, daß der Zeitgenerator einen Einsteller enthält.
- 14. IC nach Anspruch 13, dadurch gekennzeichnet, daß vorgesehen ist, einen Taktpulswert einer Impulsgruppe (Burst) kontinuierlich durch den Einsteller passieren zu lassen.
- 50 15. IC nach Anspruch 14, dadurch gekennzeichnet, daß vorgesehen ist, den Puls fortlaufend während einer Mehrzahl von Impulsgruppen kontinuierlich durch einen Einsteller passieren zu lassen.
- 16. IC nach einem der Ansprüche 1 bis 3 und 13 bis 15, dadurch gekennzeichnet, daß er eine VLSI ist.
- 17. ATE-Impulsgruppen-Formungsschaltung mit
 - einer zwischen Impulsgruppen setzbaren Anordnung zur Wahl einer kleineren Anzahl von vorgegebenen Periodenschwingungen aus einer größeren Anzahl von möglichen Periodenschwingungen, wobei die ausgewählten Schwingungen durch unterschiedlich beabstandete ansteigende und abfallende Flanken charakterisiert sind, und
 - einer Mehrzahl von Zeitgeneratoren, die in Verbindung mit der genannten Anordnung zur Steuerung durch diese Anordnung angeordnet sind.
- 60 18. Schaltung nach Anspruch 17, dadurch gekennzeichnet, daß jeder der Zeitgeneratoren eine Vielzahl von Flankenverzögerungseinrichtungen enthält.
- 19. Schaltungsanordnung nach Anspruch 17 oder 18, gekennzeichnet durch eine Eicheinrichtung zum Messen von tatsächlichen Verzögerungen, die in jeder Mehrzahl der genannten Vielzahl verursacht werden.
- 20. IC nach Anspruch 13, dadurch gekennzeichnet, daß ein Takt für ein kontinuierliches Pulsen durch den Einsteller über eine Vielzahl von Impulsgruppen ausgebildet ist.
- 65 21. IC nach Anspruch 13, dadurch gekennzeichnet, daß ein Takt für ein Pulsen durch eine Vielzahl von Perioden ausgebildet ist.

22. Schaltung nach Anspruch 18, dadurch gekennzeichnet, daß die Vielzahl einen Taktzykluszähler und einen Einsteller enthält.
23. Schaltung nach Anspruch 18 oder 22, dadurch gekennzeichnet, daß die Vielzahl außerdem einen Zähler für einen invertierten Takt enthält.
24. Schaltung nach Anspruch 18, 22 oder 23, dadurch gekennzeichnet, daß die Vielzahl außerdem einen Grobeinsteller und einen Feineinsteller enthält. 5
25. Schaltung nach Anspruch 5, 18 oder 24, dadurch gekennzeichnet, daß die Schaltung in Galliumarsenid integriert ist.
26. Automatische Testeinrichtungen-(ATE)-Schaltung mit
 — einer Mehrzahl von Zeitgeneratoren, und 10
 — einem Schaltfreigabe-Register zum selektiven Freigeben des Einschaltens eines Treibers.
27. Schaltung nach Anspruch 26, dadurch gekennzeichnet, daß das Register für eine wahlweise selektive Freigabe jedes der Zeitgeneratoren zum entweder Hochsteuern oder Niedrigsteuern ausgebildet ist.
28. Schaltung nach Anspruch 26 oder 27, dadurch gekennzeichnet, daß eine Mehrzahl der genannten Zeitgeneratoren in einer Vergleichsfunktion betreibbar ist, wenn der Treiber ausgeschaltet ist. 15
29. Schaltung nach Anspruch 28, dadurch gekennzeichnet, daß die Zeitgeneratoren eine setzbare Einrichtung enthalten, um in einer Vergleichsperiode die Erwartung Hoch oder Niedrig zu befehlen.
30. Schaltungsanordnung nach Anspruch 29, dadurch gekennzeichnet, daß die setzbare Einrichtung Register sind, die auch selektiv setzbar sind, in einer Treiber-Ein-Betriebsart einen Generator zum Treiben nach Hoch oder Niedrig einzuschalten. 20
31. Impulsgruppen- oder Burst-Chip mit
 — einem Periodenregister,
 — einem Periodenzähler, der durch das Periodenregister steuerbar ist,
 — einem Takt-Konditionierer, der durch ein Takteingangssignal steuerbar ist, um ein Taktausgangssignal an den Periodenzähler zu liefern, von dem genannten Periodenzähler einen BOP-Impuls erhält und als Ausgang BOPE-, BOPL- und BBOP-Impulse und einen Frühtakt (OSC E) sowie einen Spättakt (OSC L) liefert, 25
 — einem Früh-Zähler, dem die BOPE-Impulse und der OSC-E-Takt zugeführt sind,
 — einem Spät-Zähler, dem die BOPL-Impulse und der OSC-L-Takt zugeführt ist,
 — einer Musterspeichersteuerung, der die genannten BBOP-Ausgangsimpulse zugeführt sind und die Speichersignale von einem Musterspeicher enthält, um einen BBOP-Impuls abzugeben, 30
 — einem Latch-Register, dem das BBOP-Signal und ein Speichersignal von dem Musterspeicher zugeführt sind, um ein Speichersignal an einen Datenserialisierer zu liefern,
 — wobei der Datenserialisierer so geschaltet ist, daß er auch den BBOP-Ausgangsimpuls vom Takt-Konditionierer empfängt, 35
 — einer Mehrzahl von Zählwert-Multiplexern, die jeweils selektiv das Mischgangssignal des Früh-Zählers oder des Spät-Zählers zu übertragen vermögen,
 — einer entsprechenden Vielzahl von Taktmultiplexern, die jeweils selektiv das Ausgangssignal des OSC-E oder OSC-L übertragen,
 — einer entsprechenden Vielzahl von E/L-Registern, die jeweils mit einem entsprechenden der Zählwert-Multiplexer und Takt-Multiplexer gekoppelt sind, um die Schaltungen jedes Paares entweder beide auf früh oder beide auf spät zu schalten, 40
 — einer entsprechenden Vielzahl von Anpassungselementen, die jeweils für einen Empfang von Ausgangssignalen entsprechend der Zählwert-Multiplexer und der Takt-Multiplexer geschaltet sind,
 — einer entsprechenden Vielzahl von Zählwert-Registern zur Veranlassung, daß entsprechende Anpassungselemente das Ausgangssignal des entsprechenden Takt-Multiplexers bei dem Zählwert in dem entsprechenden Zählwertregister durch das Anpassungselement hindurchschleusen, 45
 — einer entsprechenden Vielzahl von Einstellern, denen die Ausgangssignale entsprechender Anpassungselemente zugeführt sind und die Ausgangssignale an eine entsprechende Vielzahl von Impulsmodulatoren liefern, 50
 — einer entsprechenden Vielzahl von Grob-Registern zur Speisung der Einsteller,
 — einer entsprechenden Vielzahl von Fein-Registern zum Speisen der Einsteller,
 — einer entsprechenden Vielzahl von Paletten-Tabellen-Einrichtungen zum Empfang des BBOP-Signals und Speichers vom Datenserialisierer,
 — einer entsprechenden Vielzahl von ersten Durchschleus- oder Pipe-Schaltungen, denen die Ausgangssignale entsprechender Paletten-Tabellen zugeführt sind und die Ausgangssignale an den Impulsmodulator liefern, 55
 — einer entsprechenden Vielzahl von zweiten Pipe-Schaltungen, denen jeweils BBOP-Signale und andauernde Impulsgruppen-Eingangssignale zugeführt sind,
 — einer entsprechenden Vielzahl von Pipe-Registern, die mit entsprechenden ersten und zweiten Pipe-Schaltungen gekoppelt sind, 60
 wobei die ersten und zweiten Pipe-Schaltungen Ausgangssignale in entsprechende Impulsmodulatoren liefern,
 — einer entsprechenden Vielzahl von Impulsmodulatoren, und
 — einer entsprechenden Vielzahl von Zeitfreigabe-Registern, die Eingangssignale an entsprechende Impulsmodulatoren liefern, 65
 wobei die Impulsmodulatoren Ausgangssignale in einen Treiber-Vergleicher und einen Vergleicher-Formattierer und einen Fehlerfangspeicher liefern und die Einsteller Ausgangssignale in den Vergleicher-Formattierer

tierer liefern.

32. Impulsgruppen- oder Burst-Chip mit

- einem Periodenregister,
- einem Periodenzähler, der auf das Periodenregister anspricht,
- einem Takt-Konditionierer, der auf ein Takt-Eingangssignal anspricht, um ein Takt-Ausgangssignal an den Periodenzähler zu senden, von dem Periodenzähler einen BOP-Impuls erhält und als Ausgang BOP- und BBOP-Impulse und einen Takt abgibt,
- einem Zähler zum Empfang der BOP-Impulse und des Taktes,
- einer Musterspeicher-Steuerung zum Empfang des BBOP-Ausgangsimpulses und zum Empfang von gespeicherten Signalen aus einem Musterspeicher, um einen BBOP-Impuls als Ausgangssignal abzugeben,
- einem Latch-Register, dem der BBOP-Impuls sowie Speichersignale von dem Musterspeicher zugeführt sind und das Speicherausgangssignale an einen Datenserialisierer liefert, welchem außerdem der BBOP-Ausgangsimpuls von dem Takt-Konditionierer zugeführt ist,
- einer Mehrzahl von Zählwert-Multiplexern zum Übertragen des Ausgangssignales des genannten Zählers,
- einer entsprechenden Vielzahl von Takt-Multiplexern, die jeweils das Ausgangssignal des Takts zu übertragen vermögen,
- einer entsprechenden Vielzahl von Anpassungselementen, die für einen Empfang der Ausgangssignale entsprechender Takt-Multiplexer geschaltet sind,
- einer entsprechenden Vielzahl von Zählwert-Registern, die zu bewirken vermögen, daß entsprechende Anpassungselemente das Ausgangssignal des entsprechenden Takt-Multiplexers bei dem im entsprechenden Zählwert-Register eingestellten Zählwert durch das Anpassungselement hindurchschleusen,
- einer entsprechenden Vielzahl von Einstellern, denen die Ausgangssignale entsprechender Anpassungselemente zugeführt sind und die Ausgangssignale an eine entsprechende Vielzahl von Impulsmodulatoren liefern,
- einer entsprechenden Vielzahl von Paletten-Speicherschaltungen, denen die BBOP-Impulse und Speichersignale vom Datenserialisierer zugeführt sind,
- einer entsprechenden Vielzahl von ersten Durchschleus- oder Pipe-Schaltungen, denen die Ausgangssignale entsprechender Paletten-Speicherschaltungen zugeführt sind und die Ausgangssignale an entsprechende Impulsmodulatoren liefern,
- einer entsprechenden Vielzahl von zweiten Pipe-Schaltungen, denen jeweils BBOP-Impulse und andauernde Impulsgruppen-Eingangssignale zugeführt sind,
- einer entsprechenden Vielzahl von Pipe-Registern, die mit entsprechenden ersten und zweiten Pipe-Schaltungen gekoppelt sind, wobei die ersten und zweiten Pipe-Schaltungen Ausgangssignale in entsprechende Impulsmodulatoren liefern,
- einer entsprechenden Vielzahl von Impulsmodulatoren, und
- einer entsprechenden Vielzahl von Zeitfreigabe-Registern, die Eingangssignale an entsprechende Impulsmodulatoren liefern,

wobei die Impulsmodulatoren Ausgangssignale in einen Treiber-Vergleicher und einen Vergleicher-Formattierer und einen Fehlerfangspeicher liefern und der Einsteller Ausgangssignale in den Vergleicher-Formattierer liefert.

33. Chip nach Anspruch 32, dadurch gekennzeichnet, daß der Einsteller sowohl einen Feineinstellerteil als auch einen Grobeinstellerteil enthält.

34. Verfahren zum Prüfen oder Testen einer integrierten Schaltung, dadurch gekennzeichnet, daß

- ein Takt in einen Takt-Konditionierer eingegeben wird,
- der Takt im Takt-Konditionierer bearbeitet und der bearbeitete Takt in einen Periodenzähler eingegeben wird,
- die Zyklen des Taktes im Periodenzähler gezählt werden, bis eine Zahl erreicht ist, die in ein den Periodenzähler steuerndes Register eingegeben worden war,
- aus dem Periodenzähler beim Erreichen der genannten Zahl ein BOP-Impuls an den Takt-Konditionierer abgegeben wird,
- aus dem Takt-Konditionierer weiter konditionierte BOP-Impulse an einen Zykluszähler, eine Musterspeicher-Steuerung und einen Datenserialisierer abgegeben werden und ein weiter konditionierter Takt an den Zykluszähler,
- der Fluß von Speicherdaten von einem Musterspeicher in ein Latch-Register durch die Mustersteuerung gesteuert wird,
- Speicherdaten von dem Latch-Register in einen Datenserialisierer übertragen werden,
- ein Ausgangssignal vom Zykluszähler und der weiter konditionierte Takt an einen Zählwert-Multiplexer bzw. einen Taktmultiplexer ausgegeben werden,
- ein Ausgangssignal des Takt-Multiplexers bei einem bestimmten Kommando von einem Zählwert-Register abgegeben wird, welches ein Anpassungselement-Eingangssignal von dem Takt-Multiplexer befiehlt,
- ein Impulsmodulator mit einem möglicherweise weiter verzögerten Ausgangssignal von dem genannten Anpassungselement gespeist wird,
- periodisch Speicher von dem Datenserialisierer in eine Paletten-Tabelle bewegt wird,
- ein Ausgangssignal der Paletten-Tabelle und ein konditionierter BOP-Impuls in eine erste Durch-

- schleus- oder Pipe-Schaltung ausgegeben werden,
 — der genannte konditionierte BOP-Impuls und ein "Test"-Impuls in eine zweite Pipe-Schaltung
 eingegeben wird, die mit der ersten Pipe-Schaltung gleichlaufgekoppelt ist,
 — Ausgangssignale von der ersten und der zweiten Pipe-Schaltung in den Impulsmodulator ausgege- 5
 ben werden,
 — im Impulsmodulator eingegebene Eingangssignale selektiv durchgeschleust werden, und
 — selektiv Ausgangssignale des Impulsmodulators in einen Treiber-Formatierer und einen Vergleich-
 er-Formatierer auszugeben.
35. Verfahren nach Anspruch 34, dadurch gekennzeichnet, daß das Durchschleusen zum Treiber mittels
 eines Zeitfreigabe-Registers gesteuert wird. 10
36. Verfahren nach Anspruch 35, dadurch gekennzeichnet, daß das Zeitfreigabe-Register zusätzlich selektiv
 gesetzt werden kann, um ein Ausschalten und Einschalten des Treibers zu gestatten.
37. Verfahren nach Anspruch 34, dadurch gekennzeichnet, daß die Periodenzähler beim Anlegen eines
 "Test"-Signales gleichzeitig auf null gesetzt werden.
38. Verfahren nach Anspruch 37, dadurch gekennzeichnet, daß ein Übergangsdetektor geODERt ist, um die 15
 gleichzeitige Nullstellung zu bewirken.
39. Chip nach Anspruch 31, dadurch gekennzeichnet, daß er aus Galliumarsenid besteht.
40. Chip nach Anspruch 39, gekennzeichnet durch eine Schaltungsausführung mit DCFL.
41. Chip nach Anspruch 32, dadurch gekennzeichnet, daß er aus Galliumarsenid besteht.
42. Chip nach Anspruch 41, gekennzeichnet durch eine Schaltungsausführung mit DCFL. 20
43. Chip nach einem der Ansprüche 31 und 39 bis 42, dadurch gekennzeichnet, daß die Vielzahl gleich acht
 ist.
44. Chip nach Anspruch 43, dadurch gekennzeichnet, daß entsprechende Elemente der Vielzahl in acht
 Zeitgeneratoren enthalten sind.
45. Chip nach Anspruch 44, dadurch gekennzeichnet, daß jeder Zeitgenerator einen Treiber-Formatierer- 25
 ausgang aufweist.
46. Chip nach Anspruch 45, dadurch gekennzeichnet, daß vier von den Zeitgeneratoren zusätzlich zweite
 Treiber-Formatiererausgänge haben, die durch die Zeitfreigabe-Register gesteuert werden.
47. Chip nach Anspruch 46, dadurch gekennzeichnet, daß vier der acht Zeitgeneratoren Ausgänge aufwei- 30
 sen, die entsprechende Impulsmodulatoren umgehen und in den Eingang eines Vergleichs-Formatierers
 führen.
48. Verfahren zum Prüfen einer integrierten Schaltung, bei welchem eine gewünschte Schwingungsflanke in
 einer ATE-Test-Signalgruppe (Burst) erzeugt wird, dadurch gekennzeichnet, daß
 — die Flanke in einem Takt oder in einem Einsteller verzögert wird,
 — mit einer Meßeinrichtung die tatsächliche Verzögerung durch den Kanal, der den Takt oder den 35
 Einsteller enthält, gemessen wird, und
 — Register entsprechend Rechnungen, die auf den Messungen der tatsächlichen Verzögerungen
 basieren, gesetzt werden, um die gewünschte Schwingungsflanke zu erzeugen.
49. Verfahren nach Anspruch 48, dadurch gekennzeichnet, daß die Messeinrichtung und die Einrichtung zum 40
 Errechnen des Setzens der Register sich außerhalb eines Chips, der den Takt und/oder den Einsteller
 enthält, befindet.
50. Verfahren nach Anspruch 49, dadurch gekennzeichnet, daß die Flanke selektiv verzögert wird durch
 einen Takt,
 einen späten Takt,
 einen Grobeinsteller, und 45
 einen Feineinsteller,
 daß die Verzögerung durch den Kanal, der den Takt, den späten Takt, den Grobeinsteller und den Feinein-
 steller umfaßt, für jeden Schritt jedes der Einsteller getrennt gemessen wird, und
 das Register entsprechend Rechnungen auf der Basis der Verzögerungsmessungen gesetzt werden, um
 Registereinstellungen für den Takt, den späten Takt, den Grobeinsteller und den Feineinsteller festzulegen, 50
 die die gewünschte Schwingungsflanke ergeben.
51. Verfahren nach Anspruch 50, dadurch gekennzeichnet, daß die Registereinstellungen für jede Schwin-
 gungsflanke zwischengelagert werden.
52. Verfahren nach Anspruch 49, dadurch gekennzeichnet, daß es mit einem Chip aus Galliumarsenid 55
 durchgeführt wird.
53. ATE-Impulsgruppen-Schaltung mit einer Vielzahl von Zeitgeneratoren, die jeweils
 ein Zählwert-Register, das setzbar ist, um eine gewünschte Anzahl von Zählschritten zu bestimmen,
 ein Anpassungselement, das beim Erreichen der gewünschten Anzahl eine Flanke durchläßt,
 einen Einsteller,
 eine Paletten-Tabellen-Schaltung, der die Daten von einem Speicher in sukzessiven Bit-Gruppen zugeführt 60
 sind und die entsprechende Kommandos abgibt, und
 einen Impulsmodulator, der eine Flanke vom Einsteller und das Kommando von der Paletten-Tabelle erhält,
 enthalten, wobei das Kommando selektiv den Durchgang der Flanke durch den Impulsmodulator be-
 schränkt.
54. Schaltung nach Anspruch 53, dadurch gekennzeichnet, daß sie mit einem einzigen Chip oder Halbleiter- 65
 plättchen realisiert ist.
55. Schaltung nach Anspruch 54, dadurch gekennzeichnet, daß der Chip aus Galliumarsenid ist.
56. Schaltung nach Anspruch 53, dadurch gekennzeichnet, daß sie außerdem ein Zeitfreigabe-Register

enthält, das selektiv setzbar ist, um entweder eine Hoch-Niedrig-Steuerung oder eine Treiber-Ein-Aus-Funktion im Impulsmodulator freizugeben.

57. Schaltungsanordnung nach Anspruch 53, dadurch gekennzeichnet, daß gewisse der Zeitgeneratoren selektiv in eine Vergleichsperioden-Betriebsart schaltbar sind.

58. Schaltung nach Anspruch 57, dadurch gekennzeichnet, daß ein Paar der genannten Zeitgeneratoren in der Vergleichs-Betriebsart in eine zusammenarbeitende Beziehung gebracht werden können, wobei das Paar dafür eingerichtet ist, als Bits zwei Paletten-Tabellen-Ausgangssignale zu empfangen und von der Verwendung der vier auf diese Weise verfügbaren wahlweisen Ausgangssignale eine von vier verschiedenen Vergleichs-Tast-Behandlungen oder -Bedingungen zu befehlen.

59. Schaltung nach Anspruch 57, dadurch gekennzeichnet, daß mindestens einer der Zeitgeneratoren die Fähigkeit hat, eine Flanke hochzutasten zu kommandieren, und mindestens ein anderer die Fähigkeit hat, eine Flanke niedrigzutasten zu kommandieren.

60. Schaltung nach Anspruch 57, dadurch gekennzeichnet, daß mindestens einer der Zeitgeneratoren die Fähigkeit hat, ein Fenster aufzutasten und mindestens ein anderer die Fähigkeit hat, ein Fenster zuzutasten.

61. ATE-Impulsgruppen-Schaltung, dadurch gekennzeichnet, daß sie eine Vielzahl von Zeitgeneratoren enthält, von denen zumindest gewisse selektiv mit einer Vielzahl von alternativen Funktionen betraut werden können.

62. Schaltung nach Anspruch 61, bei der die alternative Vielzahl gleich vier ist: Treiber hoch oder niedrig, Treiber ein oder aus, Flankentastung hoch oder niedrig, und Fenstertastung Start oder Stop.

63. Schaltung nach Anspruch 58, bei der die Bedingungen "Nicht beachten", "Erwarte niedrig", "Erwarte hoch" und "Erwarte Bandmitte" sind.

Hierzu 16 Seite(n) Zeichnungen

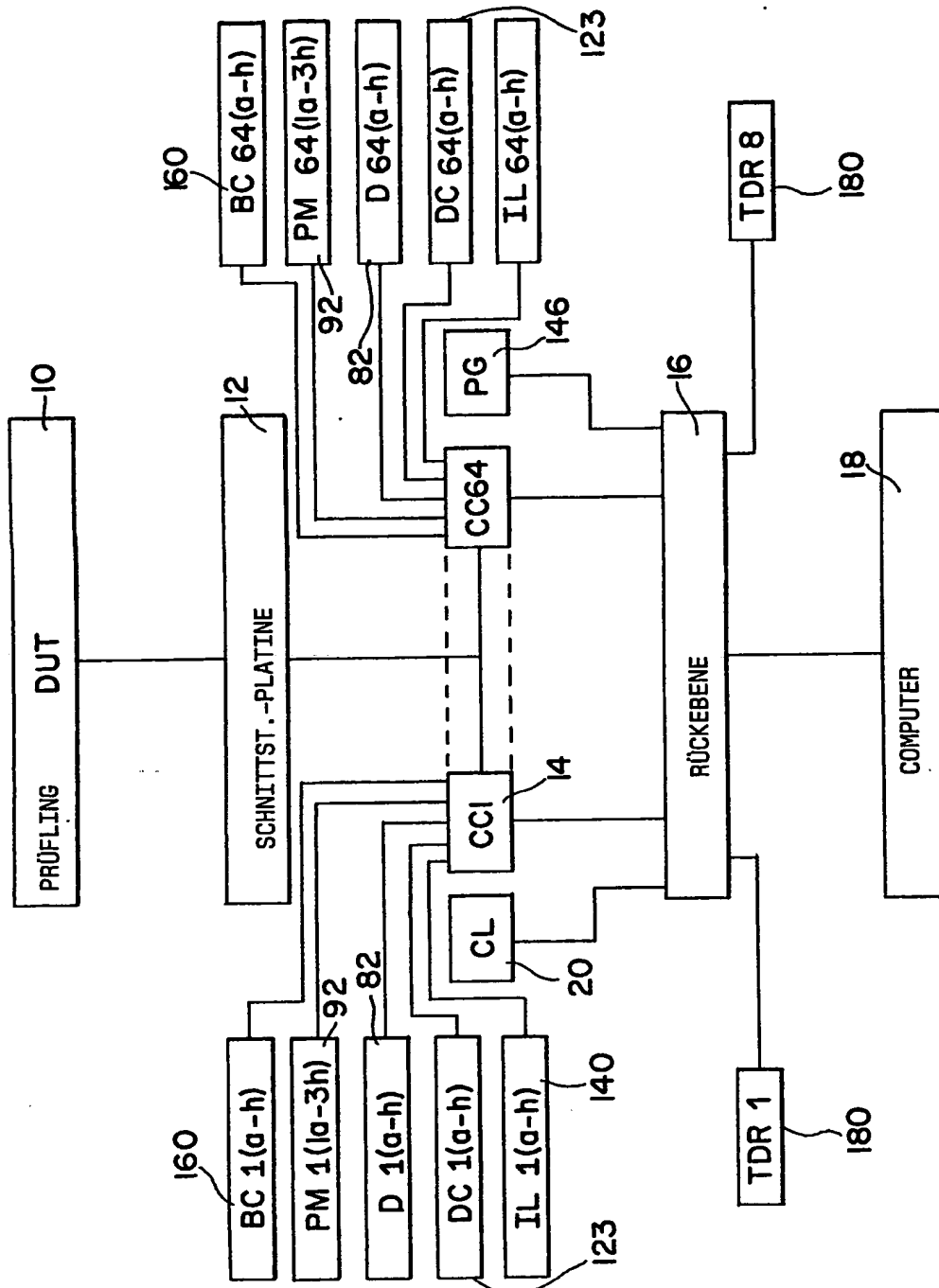


FIG. 1

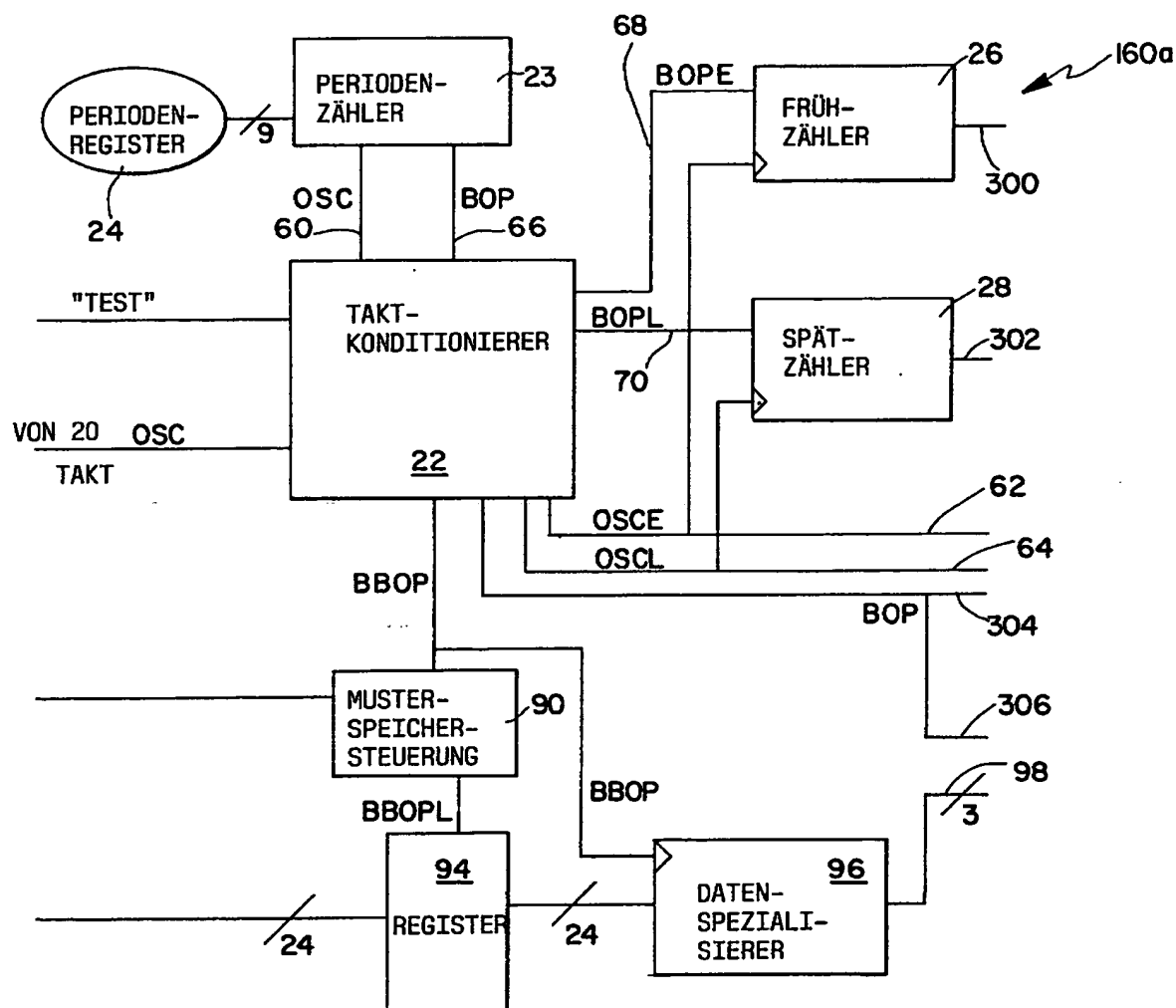


FIG. 2

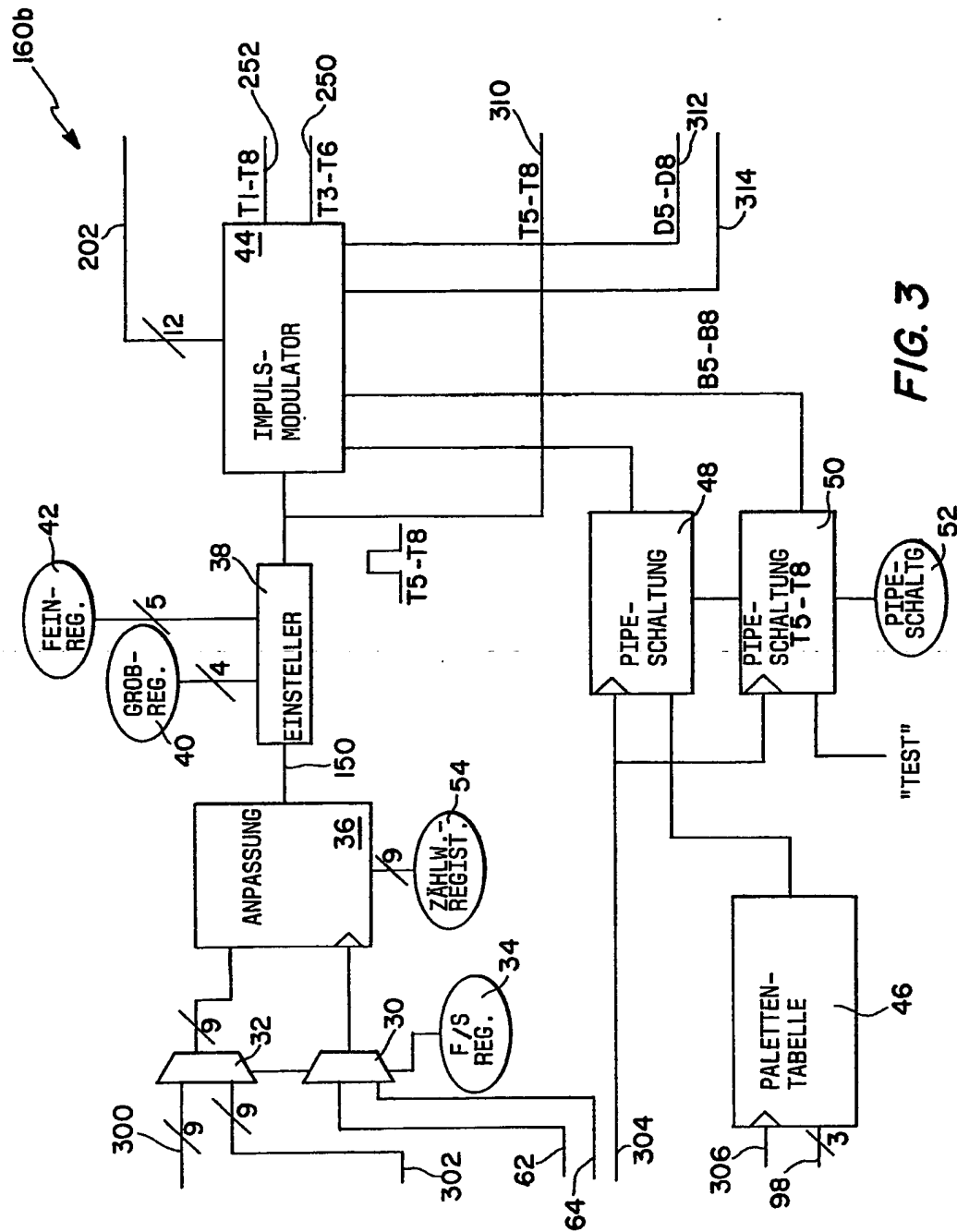


FIG. 3

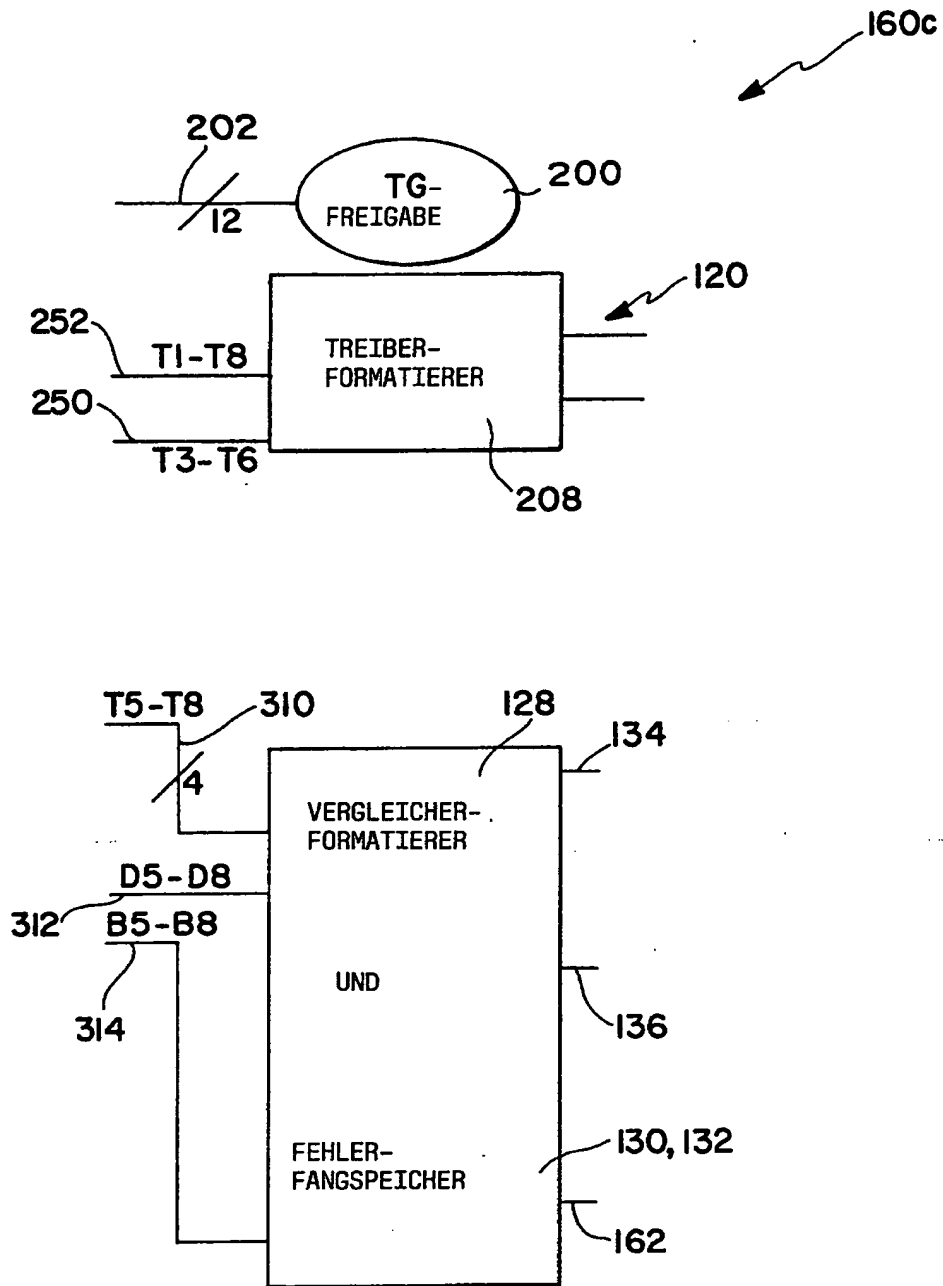


FIG. 4

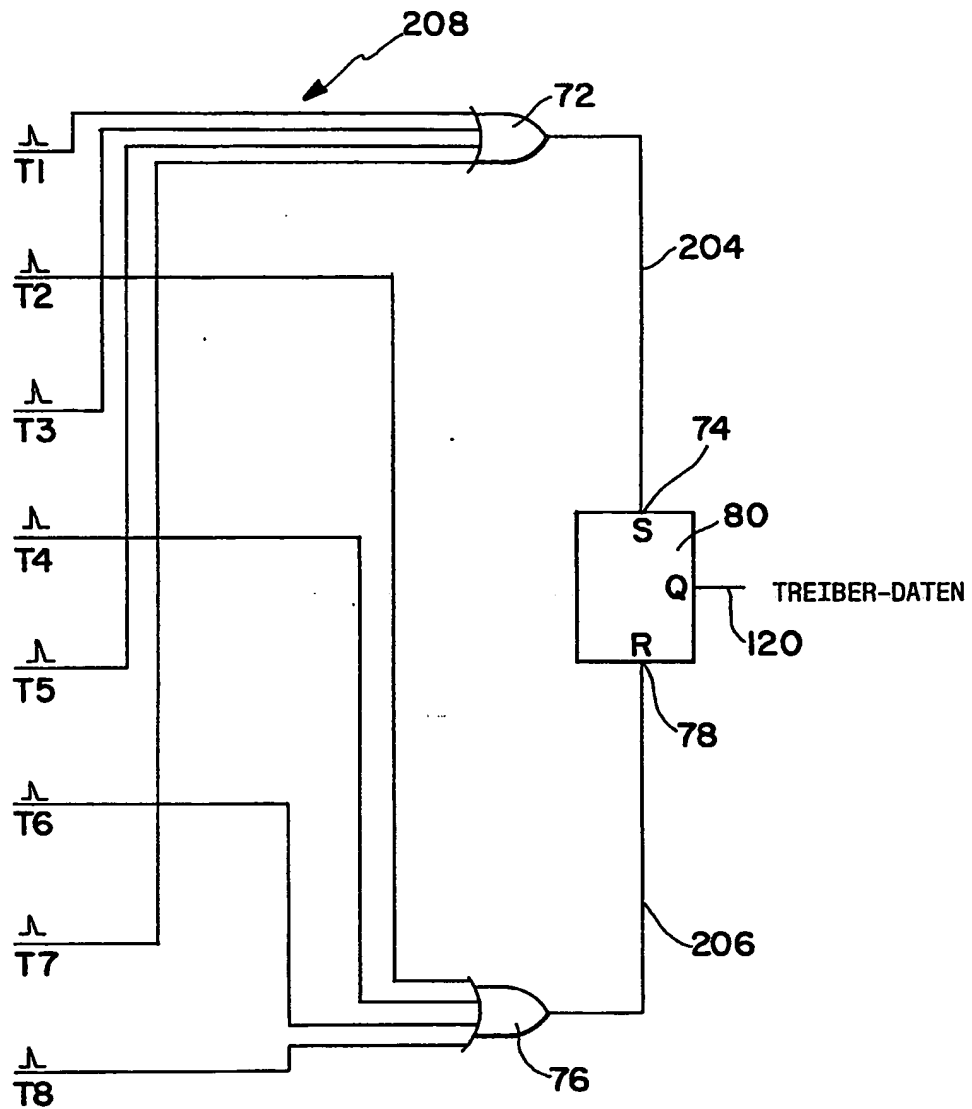


FIG. 5

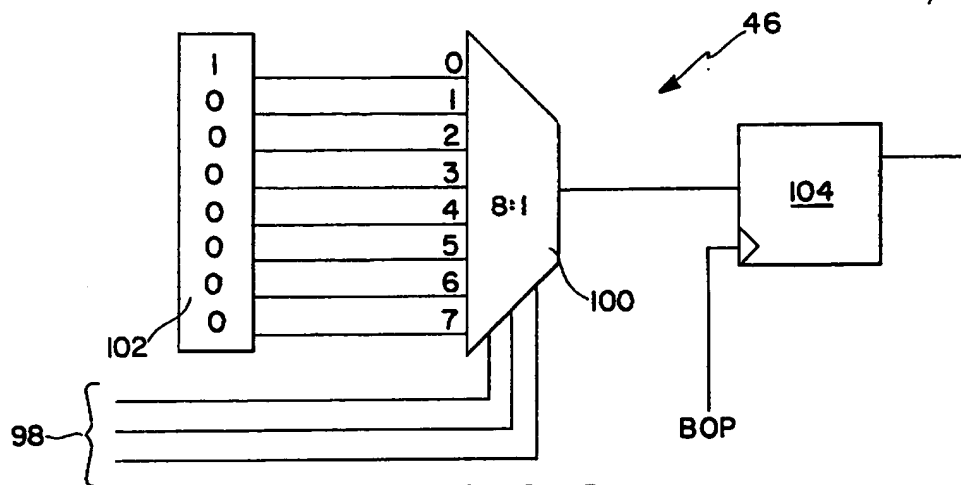


FIG. 6

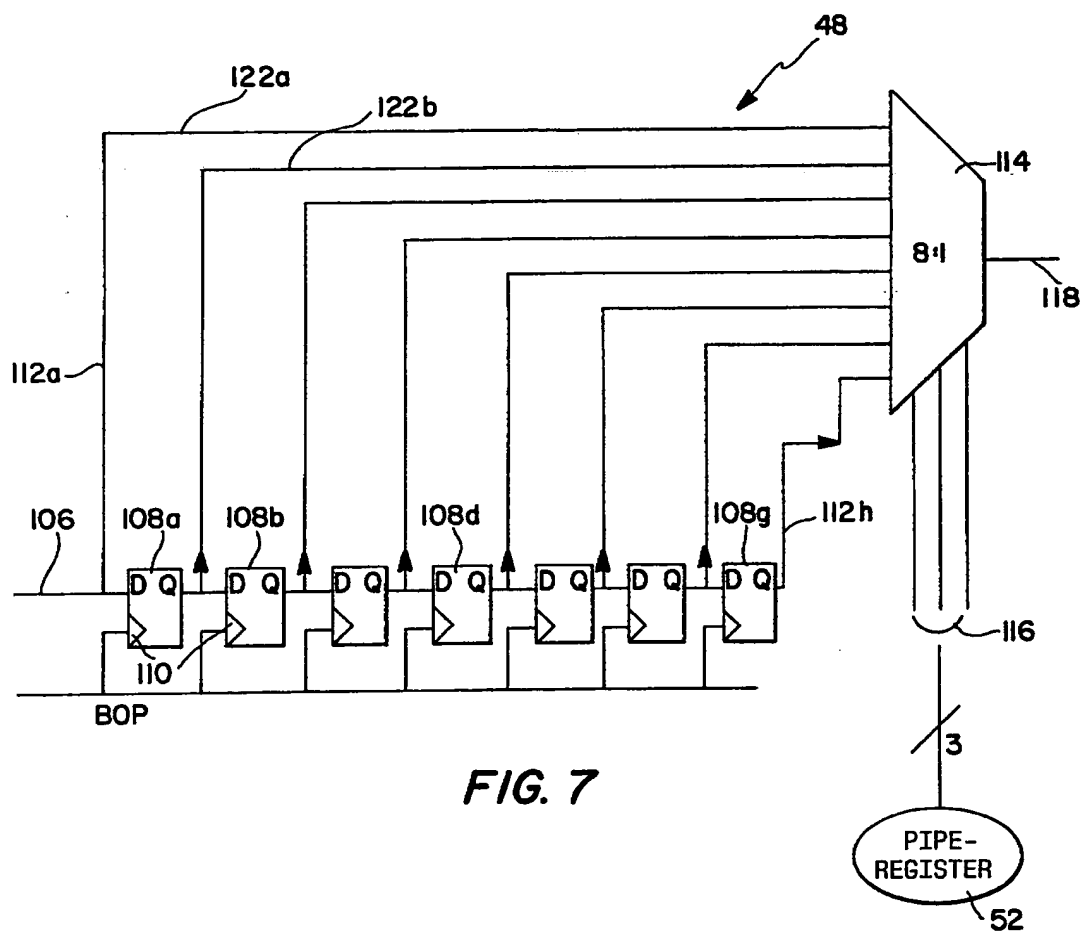


FIG. 7

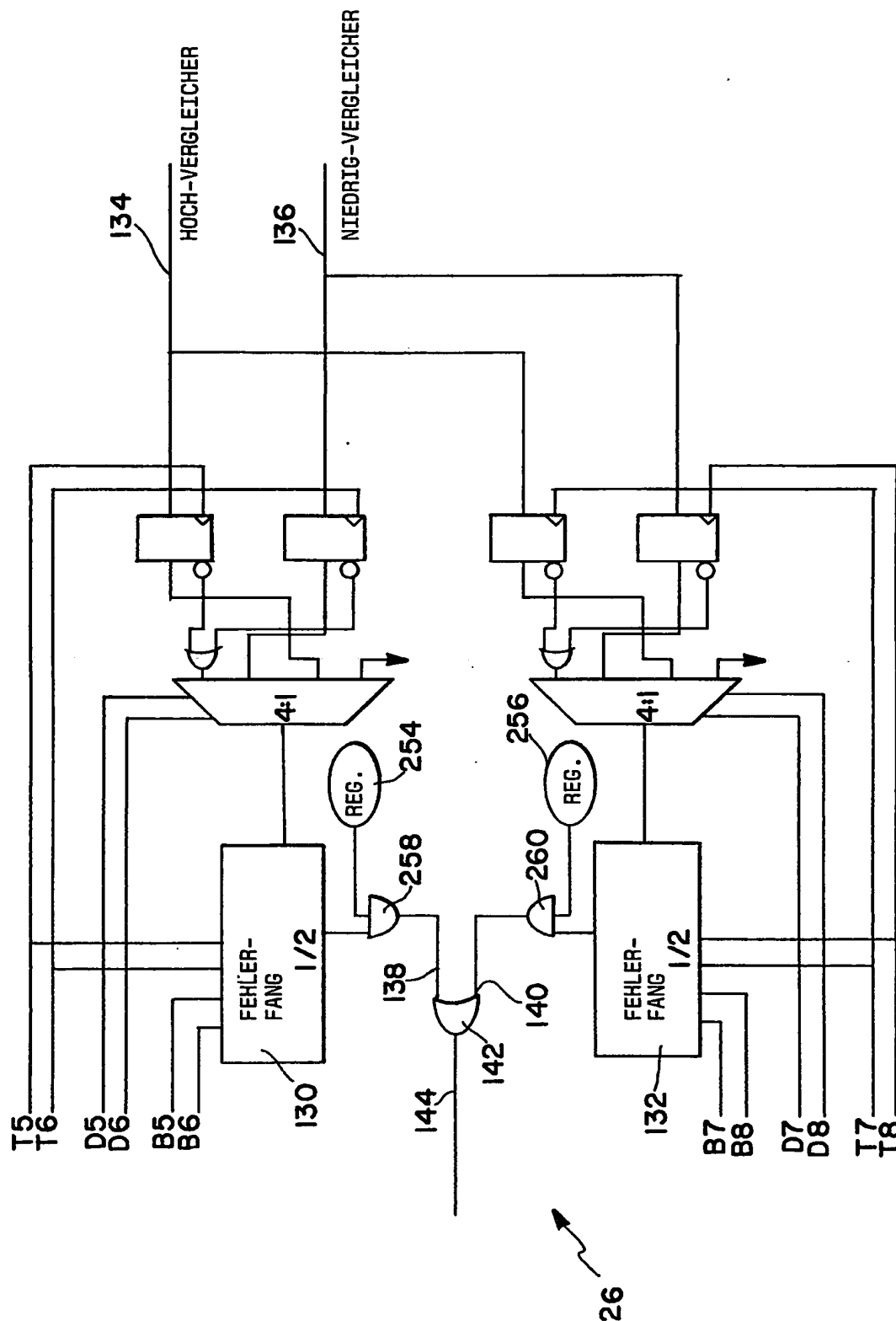


FIG. 8

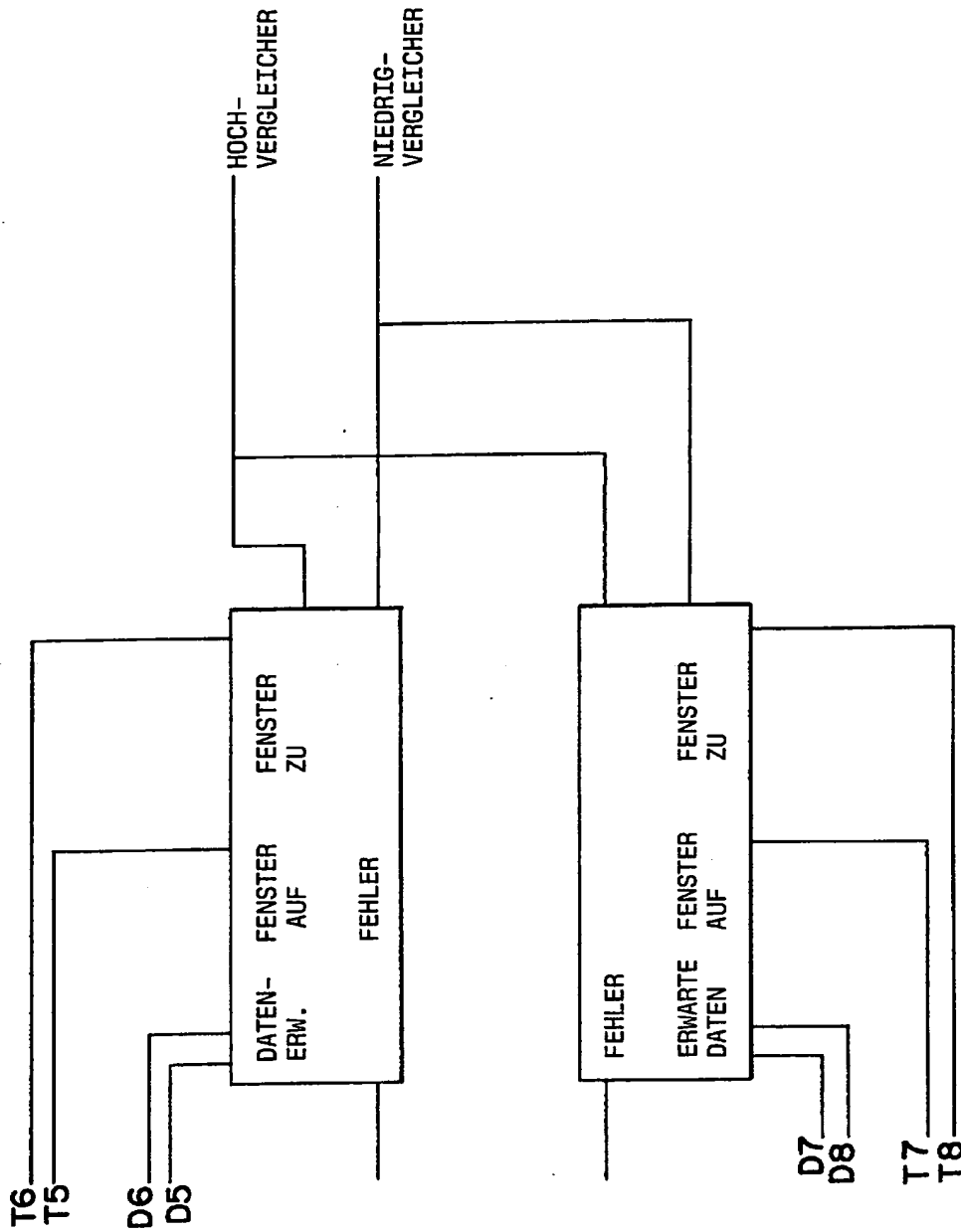


FIG. 9

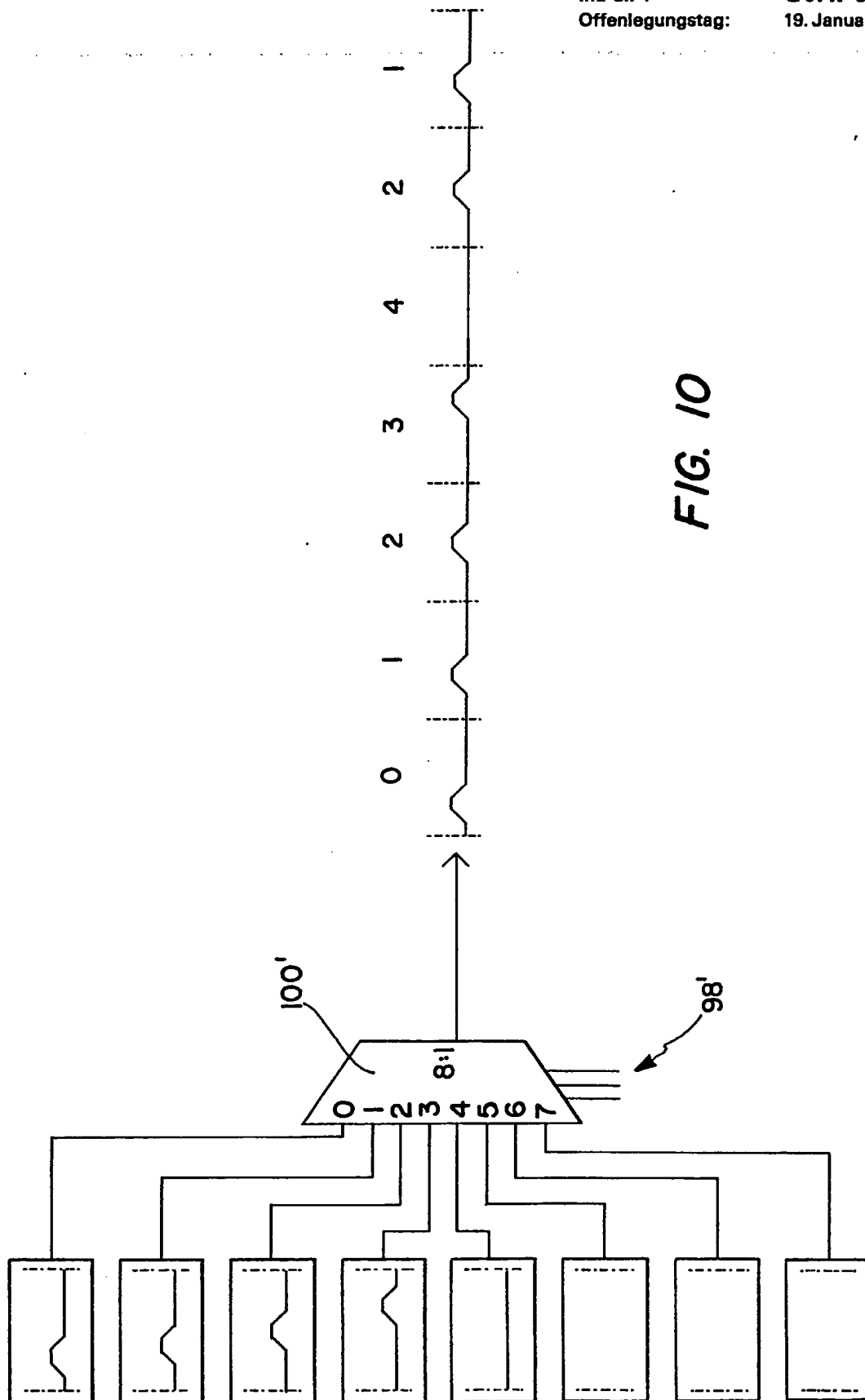


FIG. 10

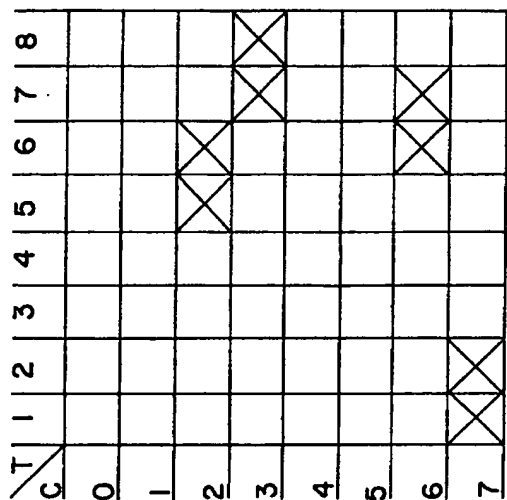


FIG. 13b

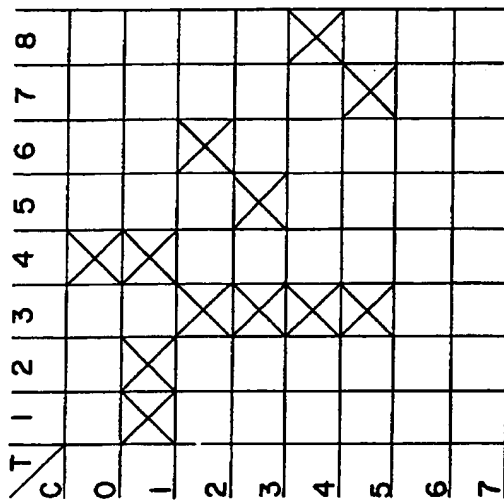


FIG. 15b

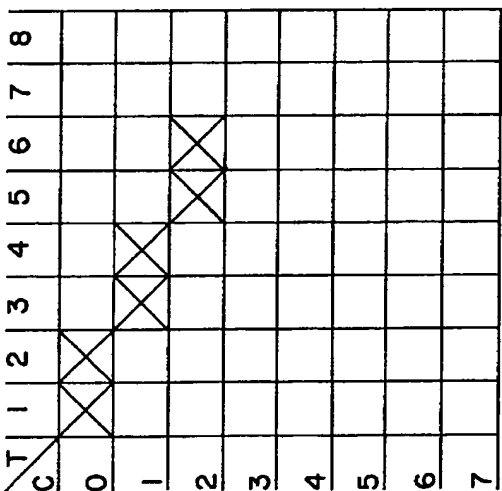


FIG. 11b

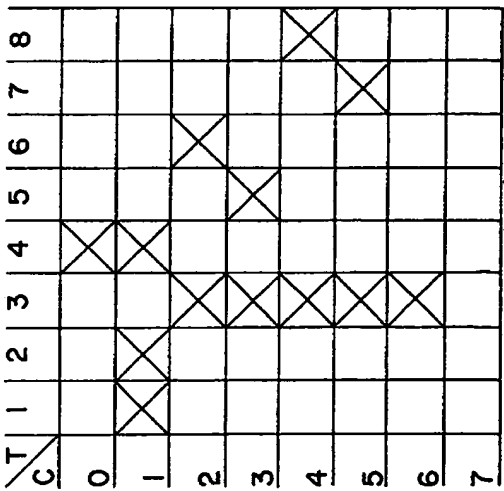
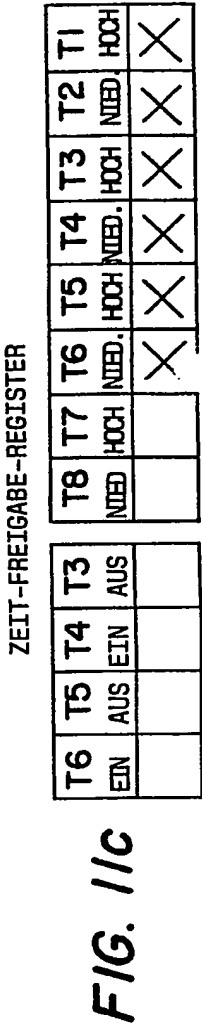
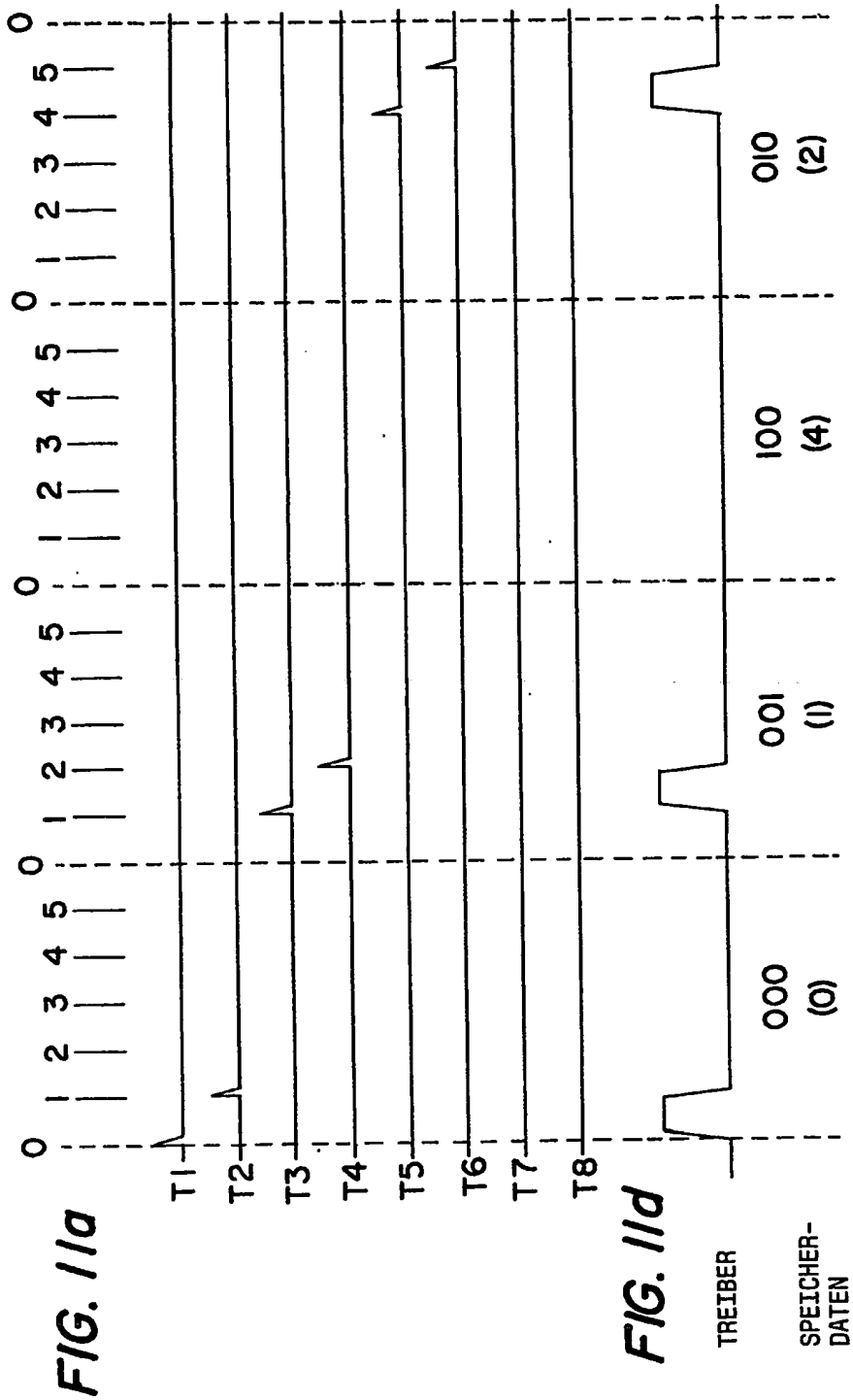


FIG. 14b



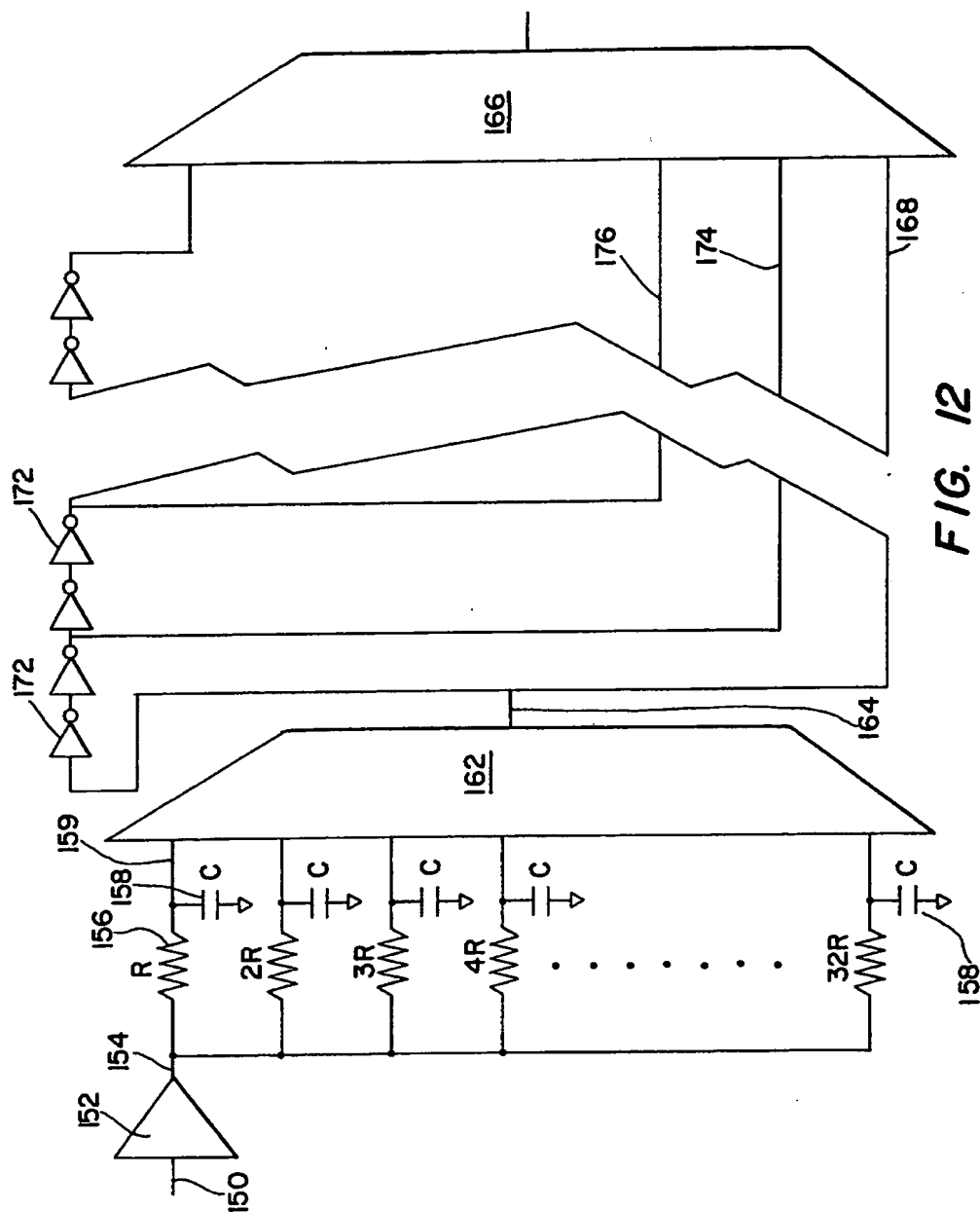


FIG. 12

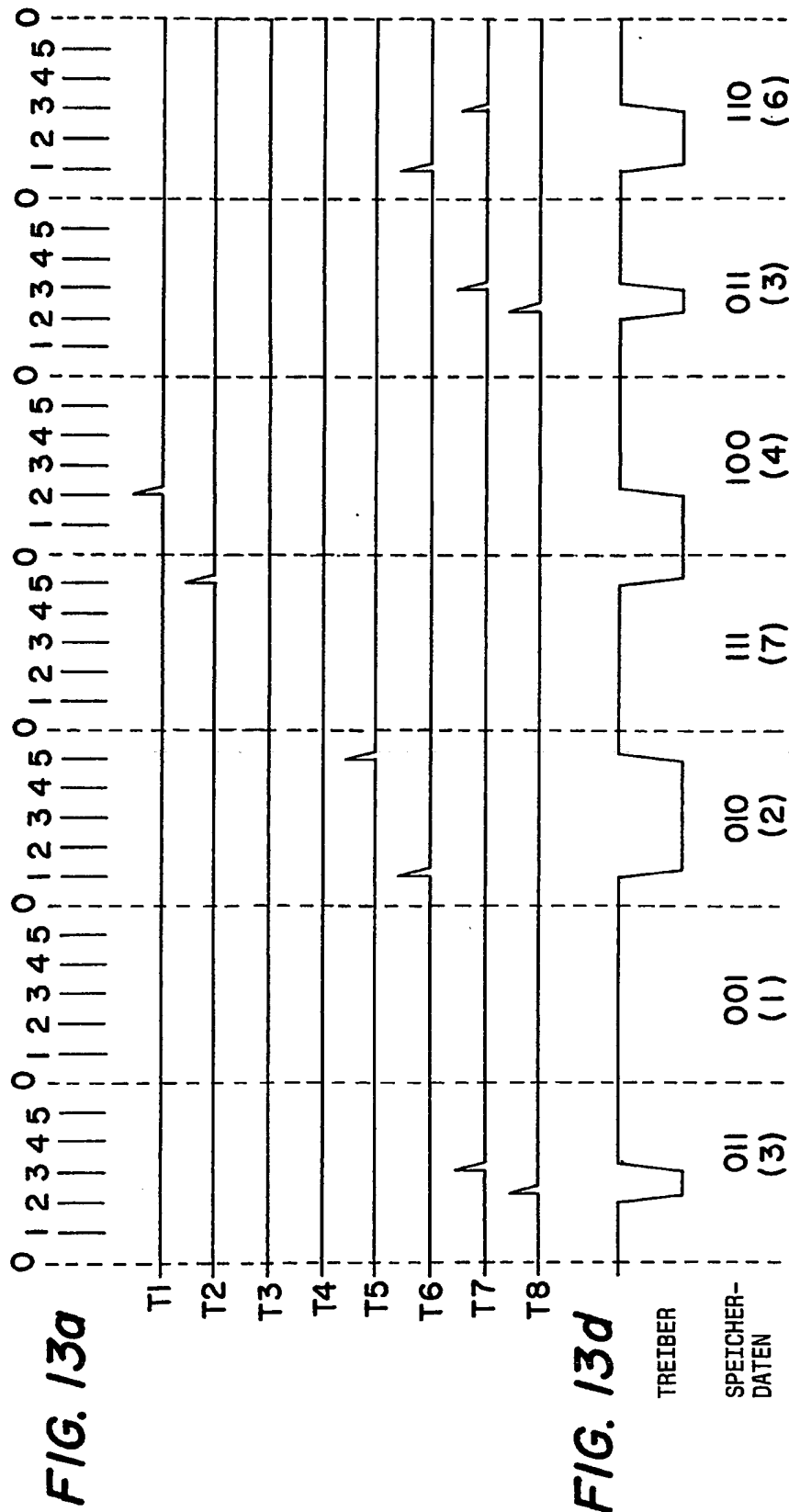
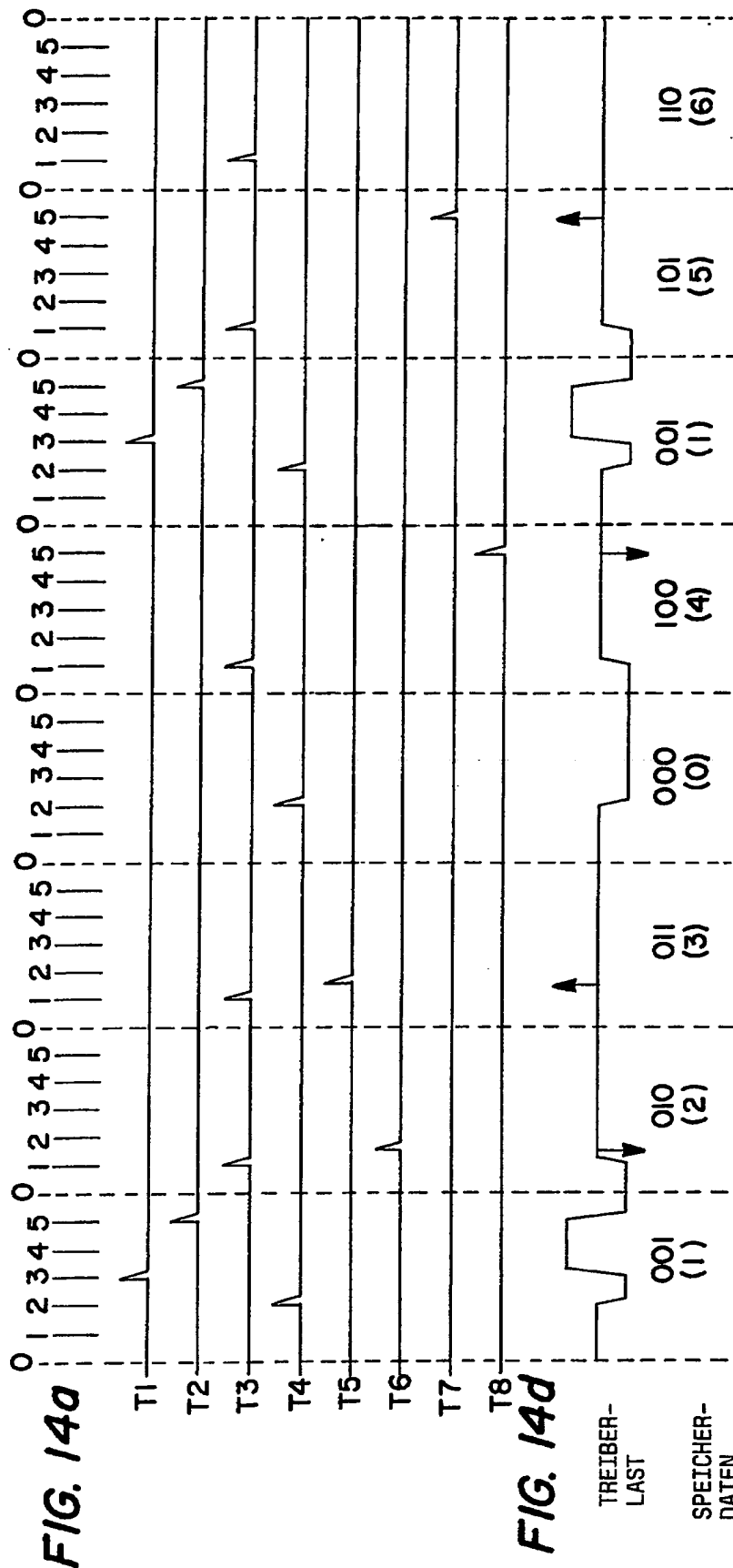


FIG. 13C

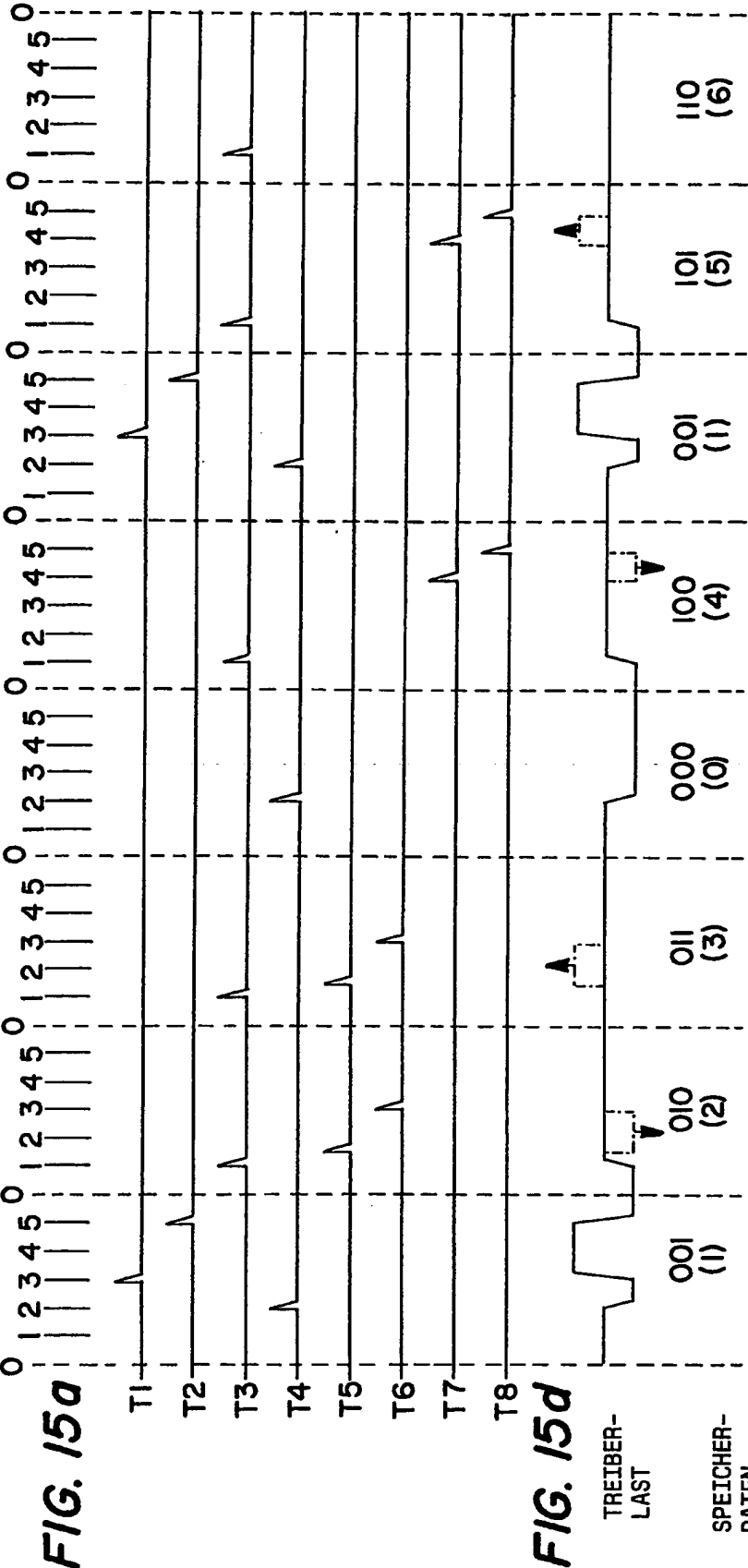
T6	EIN	AUS	
T5	EIN	AUS	
T4	EIN	AUS	
T3	EIN	AUS	



ZEIT - FREIGABE-REGISTER

T6	T5	T4	T3	T8	T7	T6	T5	T4	T3	T2	T1
EIN	AUS	EIN	AUS	NIED	HOCH	NIED	HOCH	NIED	HOCH	NIED	HOCH
		X	X							X	X

FIG. 14c



ZEIT-FREIGABE-REGISTER

T6	T5	T4	T3	T8	T7	T6	T5	T4	T3	T2	T1
EIN	AUS	EIN	AUS	NIED	HOCH	NIED	HOCH	NIED	HOCH	NIED	HOCH
		X	X							X	X

FIG. 15c

TREIBERFLANKENERRECHNUNG

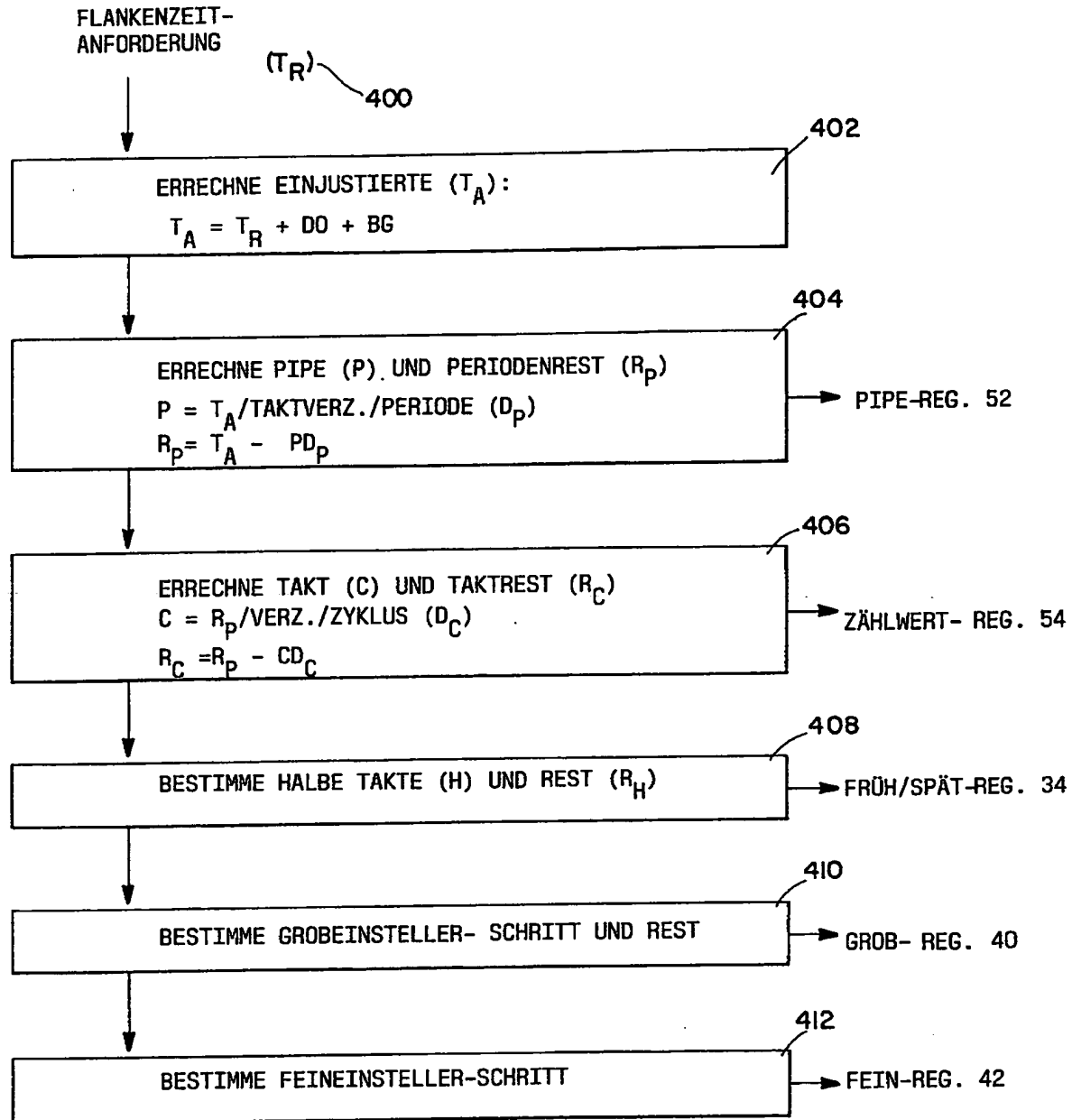


FIG. 16